

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2004-111904  
 (43)Date of publication of application : 08.04.2004

(51)Int.CI. H01L 29/82  
 G11C 11/15  
 H01L 27/105  
 H01L 43/08

(21)Application number : 2003-086145

(71)Applicant : JAPAN SCIENCE & TECHNOLOGY CORP

(22)Date of filing : 26.03.2003

(72)Inventor : SUGAWARA SATOSHI  
 TANAKA MASAAKI

(30)Priority

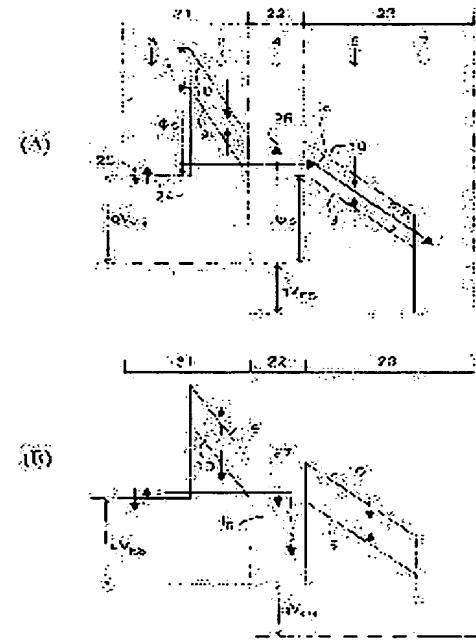
Priority number : 2002217336 Priority date : 25.07.2002 Priority country : JP

## (54) SPIN TRANSISTOR, AND NON-VOLATILE MEMORY USING SAME

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a transistor and a non-volatile memory using the same whose output characteristic can be changed largely according to the relative magnetizing senses of spin and free layers included in the transistor.

**SOLUTION:** When the senses of the magnetizations of first and second ferromagnetic barrier layers 2, 6 are parallel with each other, spin-polarized hot electrons 26 having up-spin are injected into a base 22. Although spin-polarized hot electrons 27 having down-spin are injected into the base 22 when the senses of the magnetizations of the first and the second ferromagnetic barrier layers 2, 6 are antiparallel with each other, a down-spin-band end 10 of the second ferromagnetic barrier layer 6 is made higher than the energy of the spin-polarized hot electrons 27. Consequently, the spin-polarized hot electrons 27 can not conduct in the conduction band of the second ferromagnetic barrier layer 6, thereby losing their energies in the interface between the base 22 and a collector 23 by spin-dependent scatterings or reflections.



### LEGAL STATUS

[Date of request for examination] 19.04.2005

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

## \* NOTICES \*

**JPO and NCIP are not responsible for any damages caused by the use of this translation.**

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**CLAIMS**

---

[Claim(s)]

[Claim 1]

The transistor characterized by having the spin injector which pours in the hot carrier which did spin polarization according to the spin filter effectiveness, and the spin analyzer which sorts out this poured-in spin polarization hot carrier according to the spin filter effectiveness.

[Claim 2]

said spin injector impresses an electrical potential difference to ends -- the 1st ferromagnetic barrier layer which can tunnel a carrier -- this -- the transistor according to claim 1 characterized by having the 1st nonmagnetic electrode layer joined to the end side of the 1st ferromagnetic barrier layer, and the 2nd nonmagnetic electrode layer joined to the other end side of said 1st ferromagnetic barrier layer.

[Claim 3]

Said spin analyzer,

The transistor according to claim 1 or 2 characterized by having the 2nd ferromagnetic barrier layer, said 2nd nonmagnetic electrode layer joined to the end side of this 2nd ferromagnetic barrier layer, and the 3rd nonmagnetic electrode layer joined to the other end side of the ferromagnetic barrier layer of the above 2nd, and carrying out said 2nd nonmagnetic electrode layer to said spin injector in common.

[Claim 4]

Said 1st and 2nd ferromagnetic barrier layers are transistors according to claim 2 or 3 characterized by including the ferromagnetic semi-conductor or the ferromagnetic insulator.

[Claim 5]

the thickness of said 2nd nonmagnetic electrode layer -- this -- a transistor given in any 1 term to claims 1-4 characterized by being the thickness below the mean free path of the spin polarization hot carrier in the 2nd nonmagnetic electrode layer.

[Claim 6]

The spin filter effectiveness of said spin injector In the tunnel effect of the carrier in said 1st ferromagnetic barrier layer which impresses an electrical potential difference to said 1st nonmagnetic electrode layer and said 2nd nonmagnetic electrode layer, and they are made to produce The tunnel probability of a carrier to have the sense of spin parallel to the spin band in the band edge of the ferromagnetic barrier layer of the above 1st among the carriers which exist in the nonmagnetic electrode layer of the above 1st is large. A transistor given in any 1 term to claims 1-5 to which the tunnel probability of a carrier to have the sense of the spin used as anti-parallel is characterized by using a small thing.

[Claim 7]

The spin filter effectiveness of said spin analyzer When the sense of the spin of a spin polarization hot carrier poured in from said spin injector and the sense of the spin of the spin band in the band edge of said 2nd ferromagnetic barrier layer are parallel Although said spin polarization hot carrier conducts the spin band in the band edge of said 2nd ferromagnetic barrier layer and reaches to said 3rd nonmagnetic electrode layer When the sense of the spin of said spin polarization hot carrier and the sense of the spin of the spin band of the band edge of said 2nd ferromagnetic barrier layer are anti-parallel A transistor given in any 1 term to claims 1-6 characterized by using that said spin polarization hot carrier cannot reach to said 3rd nonmagnetic electrode layer.

[Claim 8]

The 1st electrical potential difference is impressed according to the 1st power source between said 1st nonmagnetic electrode layer and said 2nd nonmagnetic electrode layer. Between said 2nd nonmagnetic electrode layer and said 3rd nonmagnetic electrode layer, Or the 2nd electrical potential difference is impressed according to the 2nd power source between said 1st nonmagnetic electrode layer and said 3rd nonmagnetic electrode layer. It responds to the sense of relative magnetization of said 1st ferromagnetic barrier layer and said 2nd ferromagnetic barrier layer. The spin polarization hot carrier injected into said 2nd nonmagnetic electrode layer from said 1st nonmagnetic electrode layer on the current which flows through said the 2nd ferromagnetic barrier layer and said 2nd power source Or a transistor given in any 1 term to claims 1-7 characterized by changing to the current which flows through said the 2nd nonmagnetic electrode layer and said 1st power source.

[Claim 9]

Said 1st electrical potential difference is a transistor according to claim 8 characterized by impressing so that the poured-in energy of a spin polarization hot carrier may become it is larger than the spin band edge energy in the band edge of said 2nd ferromagnetic barrier layer, and smaller than the energy which applied spin fission width of face to the energy of this spin band edge.

[Claim 10]

The transistor according to claim 9 characterized by the ability to reverse the sense of magnetization of the either the ferromagnetic barrier layer of the above 1st or the ferromagnetic barrier layers of the above 2nd by impressing a magnetic field.

[Claim 11]

The store circuit characterized by using a transistor given in any 1 term to claims 1-10 as a memory cell.

[Claim 12]

The store circuit according to claim 11 characterized by having connected the 2nd nonmagnetic electrode layer of said transistor to the word line, having connected the 3rd nonmagnetic electrode layer of said transistor to the bit line, having connected this bit line to the power source through the load, and grounding the 1st nonmagnetic electrode layer of said transistor.

[Claim 13]

The transistor which has the output characteristics for which contain a ferromagnetic inside and it depends on the sense of the spin of a carrier (a "spin transistor" is called hereafter.),

An information rewriting means to rewrite information in said spin transistor by changing the condition of magnetization of said ferromagnetic,

The information read-out means which reads the information memorized as a condition of magnetization from said output characteristics in said spin transistor

The storage element characterized by \*\*\*\*(ing).

[Claim 14]

Said spin transistor,

It has the ferromagnetic (a "free layer" is called below.) which can control the direction of magnetization independently, and every at least one ferromagnetic (a "pin layer" is called hereafter.) to which the direction of magnetization is not changed,

The storage element according to claim 13 characterized by holding either among the 1st condition that said free layer and said pin layer have the sense of the same magnetization, the 2nd condition of having the sense of different magnetization, and two storage conditions of \*\*.

[Claim 15]

The storage element characterized by detecting the information which memorized information and was memorized in said transistor based on the output characteristics of said spin transistor depending on the sense of relative magnetization of said pin layer and said free layer with the sense of the relative magnetization of said free layer to said pin layer using one spin transistor according to claim 14.

[Claim 16]

Said spin transistor,

It is the storage element according to claim 14 or 15 which is equipped with the 3rd electrode structure which controls the amount of the spin polarization carrier conducted to said 2nd electrode structure from the 2nd electrode structure which receives the 1st electrode structure and said spin polarization carrier which pours in a spin polarization carrier, and said 1st electrode structure, and is characterized by containing said pin layer and

said free layer in either of said electrode structures from the 1st to the 3rd.

[Claim 17]

One spin transistor according to claim 16,

1st wiring which grounds said 1st electrode structure,

2nd wiring linked to said 2nd electrode structure,

3rd wiring linked to said 3rd electrode structure

The storage element which \*\*\*\*.

[Claim 18]

One spin transistor according to claim 16,

1st wiring which grounds said 1st electrode structure,

2nd wiring linked to said 2nd electrode structure,

3rd wiring linked to said 3rd electrode structure,

The output terminal formed in the end of said 2nd wiring,

4th wiring which branches from said 2nd wiring and is connected with a power source through a load

The storage element which \*\*\*\*.

[Claim 19]

Furthermore, the storage element according to claim 17 or 18 characterized by having 1st another wiring and 2nd another wiring which cross in the condition of having insulated electrically mutually on said spin transistor.

[Claim 20]

The storage element according to claim 19 characterized by replacing with either said 1st another wiring and said 2nd another wiring, said 1st another wiring or said 2nd another wiring, and using either said 2nd wiring and said 3rd wiring, said 2nd wiring or said 3rd wiring.

[Claim 21]

The storage element according to claim 19 or 20 characterized by rewriting information by reversing magnetization of said free layer and changing the relative magnetization condition between said pin layers and said free layers by the magnetic field by which induction is carried out by passing a current to said 1st another wiring and 2nd another wiring or said 2nd wiring, and said 3rd wiring.

[Claim 22]

The storage element according to claim 17 or 18 characterized by reading information based on the output characteristics of said spin transistor at the time of adding the 1st bias to said 3rd wiring, and adding the 2nd bias between said 1st wiring and 2nd wiring.

[Claim 23]

A storage element given in any 1 term to claims 18-22 characterized by reading information with the output voltage obtained based on the voltage drop of said load produced between said power source and said 1st wiring, and said load by the current through said spin transistor when the 1st bias is impressed to said 3rd wiring.

[Claim 24]

One spin transistor according to claim 16 arranged in the shape of a matrix,

1st wiring which grounds said 1st electrode structure, respectively,

Two or more word lines which connect in common said 3rd electrode structure of said spin transistor located in a line in the direction of a train,

Two or more bit lines which connect said 2nd electrode structure of said spin transistor on a par with a line writing direction in common

The store circuit which \*\*\*\*.

[Claim 25]

The spin transistor according to claim 16 arranged in the shape of a matrix,

1st wiring which grounds said 1st electrode structure, respectively,

Two or more word lines which connect in common said 3rd electrode structure of said spin transistor located in a line in the direction of a train,

Two or more bit lines which connect said 2nd electrode structure of said spin transistor on a par with a line writing direction in common,

The output terminal formed in the end of this bit line, respectively,

2nd wiring which branches from this bit line, respectively and is connected to a power source through a load  
The store circuit which \*\*\*\*.

[Claim 26]

Furthermore, the store circuit according to claim 24 or 25 characterized by having 1st another wiring and 2nd another wiring which cross in the condition of having insulated electrically mutually on said transistor.

[Claim 27]

The store circuit according to claim 26 characterized by replacing with either said 1st another wiring and said 2nd another wiring, said 1st another wiring or said 2nd another wiring, and using either said word line and said bit line, said word line or said bit line.

[Claim 28]

The store circuit according to claim 26 or 27 characterized by rewriting information by reversing magnetization of said free layer and changing the relative magnetization condition between said free layers and said pin layers by the magnetic field by which induction is carried out by passing a current to said 1st another wiring and 2nd another wiring or said word line, and said bit line.

[Claim 29]

The store circuit according to claim 24 or 25 characterized by reading information based on the output characteristics of said spin transistor at the time of adding the 1st bias to said word line, and adding the 2nd bias between said the 1st wiring and said bit line.

[Claim 30]

A store circuit given in any 1 term to claims 25-27 characterized by reading information with the output voltage obtained based on the voltage drop of said load produced between said power source and said 1st wiring, and said load by the current through said spin transistor when the 1st bias is impressed to said word line.

[Claim 31]

Two spin transistors, the 1st and the 2nd, according to claim 16,

1st wiring which grounds the said 1st and 1st electrode structures common to said 2nd spin transistor,  
2nd and 3rd wiring which connects the 2nd electrode structure which said 1st spin transistor has, and the 2nd electrode structure which said 2nd spin transistor has, respectively,

4th wiring which connects the 3rd electrode structure which said 1st spin transistor has, and the 3rd electrode structure which said 2nd spin transistor has

The storage element which \*\*\*\*.

[Claim 32]

Two or more spin transistors according to claim 16 arranged in the shape of a matrix,

1st wiring grounded while carrying out said each 1st electrode structure which \*\* has to the line of the 1st spin transistor by which two or more arrangement is carried out at a line writing direction, and the line of the 2nd spin transistor by which adjoins in the direction of a row and column of this 1st spin transistor, and two or more arrangement is carried out at a line writing direction in common among these two or more spin transistors,

3rd wiring which connects in common said 2nd electrode structure which the line of the 2nd wiring which connects to a line writing direction in common said 2nd electrode structure which the line of the 1st spin transistor by which two or more arrangement is carried out has among said two or more spin transistors, and the 2nd spin transistor which adjoins in the direction of a row and column of said 1st spin transistor has,

4th wiring which connects in common the 3rd electrode structure which the train of the spin transistor by which two or more arrangement is carried out has in the direction of a train among said two or more spin transistors

The store circuit which \*\*\*\*.

---

[Translation done.]

**\* NOTICES \***

**JPO and NCIP are not responsible for any damages caused by the use of this translation.**

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

## DETAILED DESCRIPTION

---

### [Detailed Description of the Invention]

[0001]

#### [Field of the Invention]

This invention relates to a detail more about a new transistor in the non-volatile store circuit (nonvolatile memory) using the transistor and it which have the output characteristics depending on the sense of the spin of a carrier.

[0002]

#### [Description of the Prior Art]

Conventionally, DRAM (Dynamic Random Access Memory) has mainly been used from a viewpoint of working speed and a degree of integration as semiconductor memory used for the electronic equipment represented by the microcomputer. However, when energy's being consumed for storage maintenance and a power source are shut off by DRAM, the response to a demand and mobile computing devices of energy saving in recent years from troubles -- the content of storage is lost -- is difficult. In order to accept such a demand, in addition to the descriptions, such as a high speed, high integration, and a low power, the new memory which newly has the description of a non-volatile becomes indispensable.

[0003]

It MRAM (Magnetoresistive Random AccessMemory) not only realizes working speed equivalent to DRAM, and a degree of integration, but attracts attention as next-generation memory which has the description of un-volatilizing. In MRAM, information is memorized with the sense of magnetization of a ferromagnetic and the information by the sense of this magnetization is electrically read according to the giant magneto-resistance in a spin bulb component, or the tunnel magnetic-reluctance (TMR:Tunneling Magnetoresistance) effectiveness in a ferromagnetic tunnel junction (MTJ:Magnetic Tunnel Junction). Information can be held in MRAM un-volatilizing, without consuming energy, since the ferromagnetic is used.

[0004]

Drawing 17 is drawing showing the typical cel configuration of MRAM which used MTJ. As shown in drawing 17 (A), as for MRAM, the 1-bit memory cell is constituted by one MTJ and one MOS (MetalOxide Semiconductor) transistor. The gate of an MOS transistor was connected to the word line for read-out, the source was grounded, the drain was connected to the end of MTJ, and the other end of MTJ is connected to a bit line.

[0005]

As shown in drawing 17 (B), MTJ has the tunnel junction structure which put the thin insulator layer with two ferromagnetic electrodes, and has the TMR effectiveness that tunnel resistance changes with sense of relative magnetization two inter-electrode [ ferromagnetic ]. The rate of change of TMR of the case where two ferromagnetic inter-electrode one has parallel magnetization especially, and the case where it has anti-parallel magnetization is used for assessment of a TMR ratio, a call, and the TMR effectiveness.

[0006]

In MRAM, information is memorized by considering as parallel magnetization or anti-parallel magnetization by the synthetic magnetic field of the magnetic field as for which induction is carried out by the current which passes the magnetization condition of MTJ, i.e., the sense of relative magnetization two inter-electrode [ ferromagnetic ], to each of the word line for rewriting (not shown) which intersects perpendicularly with a bit line and this.

[0007]

In reading the storage information memorized in the specific cel, impress an electrical potential difference to the specific word line for read-out connected to a cel, make it flow through an MOS transistor, and it reads the information memorized by reading from the specific bit line connected to a cel to MTJ, and detecting the voltage drop of MTJ based on a sink and the TMR effectiveness for the current (an "actuation current" being called hereafter) of business as output voltage.

[0008]

[Problem(s) to be Solved by the Invention]

Since the ferromagnetic is used for MRAM using MTJ, it has the descriptions, such as un-volatilizing, a low power, and a high speed, and since the cellular structure is still easier, it is suitable for high density integration. Although MRAM is expected as next-generation nonvolatile memory, in order to realize this, the following technical problems which must be solved occur.

(1) Take binary resistance in MTJ corresponding to the magnetization condition of parallel magnetization and anti-parallel magnetization. In MRAM, an actuation current is passed to MTJ and this resistance is detected as output voltage. Therefore, in order to obtain high output voltage, it is necessary to adjust the thickness of the insulator layer of MTJ and to optimize tunnel resistance. However, in order that a TMR ratio may also be dependent on the thickness of an insulator layer, a limit is added about optimization of tunnel resistance.

(2) In order to read the informational content of storage to accuracy, it is necessary further to take a large TMR ratio and to enlarge the ratio of the output voltage between two magnetization conditions of parallel magnetization and anti-parallel magnetization.) In order to realize a high TMR ratio, the formation approach of an insulating layer, an ingredient, thickness, etc. need to be optimized using a ferromagnetic with the big rate of spin polarization.

(3) In MRAM using MTJ, in order to gather working speed, it is necessary to enlarge bias added to MTJ. However, when the voltage drop produced in ferromagnetic inter-electrode one becomes large, there is a problem which is not avoided theoretically that a TMR ratio decreases in MTJ. That is, the rate of change of the output voltage by TMR becomes small as the voltage drop produced in MTJ becomes large. It is difficult for this phenomenon to avoid, as long as it originates in the TMR effectiveness itself and the condition of magnetization is read only according to the TMR effectiveness.

[0009]

In order to detect the information memorized by high sensitivity in MTJ from the above technical problem, it is necessary to adjust the impedance (bond resistance) of MTJ and to optimize the magnitude of output voltage. Furthermore, it is necessary to take a large TMR ratio and to enlarge the ratio of the output signal between two magnetization conditions of parallel magnetization and anti-parallel magnetization. Moreover, the bias-proof of a TMR ratio is needed so that a TMR ratio may not decrease by bias.

Therefore, if circumference circuits other than a storage element can design an output signal freely regardless of the property of a storage element, all the above-mentioned technical problems are solvable.

[0010]

This invention memorizes information according to a magnetization condition to the ferromagnetic contained in a transistor, and aims at offering the nonvolatile memory which reads information using the output characteristics of the transistor depending on the sense of the spin of a carrier.

[0011]

[Means for Solving the Problem]

According to one viewpoint of this invention, the transistor characterized by having the spin injector which pours in a spin polarization hot carrier according to the spin filter effectiveness, and the spin analyzer which sorts out said this poured-in spin polarization hot carrier according to the spin filter effectiveness is offered. Therefore, the output characteristics of a transistor are controllable by the sense of the spin of a spin polarization hot carrier.

[0012]

As for said spin injector, it is desirable to have the 1st ferromagnetic barrier layer, the 1st nonmagnetic electrode layer joined to the end side of this 1st ferromagnetic barrier layer, and the 2nd nonmagnetic electrode layer joined to the other end side of the ferromagnetic barrier layer of the above 1st.

[0013]

As for said spin analyzer, it is desirable to have the 2nd ferromagnetic barrier layer, said 2nd nonmagnetic electrode layer joined to the end side of this 2nd ferromagnetic barrier layer, and the 3rd nonmagnetic electrode layer joined to the other end side of the ferromagnetic barrier layer of the above 2nd, and to carry out said 2nd nonmagnetic electrode layer to said spin injector in common.

[0014]

The 1st and 2nd ferromagnetic barrier layers are constituted including a ferromagnetic insulating semiconductor or a ferromagnetic insulating insulator, and, as for the energy band edge of these ferromagnetism barrier layer, it is desirable to be constituted by spin fission with either a rise spin band or a down spin band. the thickness of said 2nd nonmagnetic electrode layer -- this -- it is desirable that it is the thickness below the mean free path of the spin polarization hot carrier in the 2nd nonmagnetic electrode layer.

[0015]

Said spin injector has a large tunnel probability to the carrier which has spin parallel to the spin band which constitutes the band edge of said 1st ferromagnetic barrier layer, and its tunnel probability is small to the carrier which has the spin of anti-parallel. Therefore, the carrier which has spin parallel to the spin band which constitutes the band edge of said 1st ferromagnetic barrier layer from said 1st nonmagnetic electrode can be poured in as a hot carrier to said 2nd nonmagnetic electrode layer.

[0016]

On the other hand, said spin analyzer by spin fission in the band edge of said 2nd ferromagnetic barrier layer Although said 3rd nonmagnetic electrode layer is made to conduct said spin polarization hot carrier when the sense of the spin of said spin polarization hot carrier poured into said 2nd nonmagnetic electrode and the sense of the spin of the spin band in the band edge of said 2nd ferromagnetic barrier layer are parallel When the sense of the spin of the spin band in the band edge of said spin polarization hot carrier and said 2nd ferromagnetic barrier layer is anti-parallel, said 3rd ferromagnetic electrode is not made to conduct said spin polarization hot carrier.

[0017]

Therefore, even if it is under the same bias, the output characteristics of said transistor have a rate of current transfer, or a large current amplification factor, when the 1st ferromagnetic barrier layer and the 2nd ferromagnetic barrier layer have parallel magnetization depending on the sense of relative magnetization of said 1st ferromagnetic barrier layer and said 2nd ferromagnetic barrier layer, and in the case where it is anti-parallel magnetization, the rate of current transfer or a current amplification factor is small.

[0018]

Moreover, information is memorized with the sense of relative magnetization of said 2nd ferromagnetic barrier layer to said 1st ferromagnetic barrier layer, and the non-volatile record circuit which reads information with said output characteristics of the above-mentioned transistor depending on this magnetization condition is offered. In this store circuit, a memory cell can consist of above-mentioned transistor simple substances.

[0019]

According to other viewpoints of this invention, the non-volatile store circuit characterized by having a means to memorize information according to the magnetization direction of said ferromagnetic, and the means which reads electrically the information memorized in said spin transistor from said output characteristics using the spin transistor which has the output characteristics depending on the sense of the spin of a carrier including a ferromagnetic is offered.

[0020]

The ferromagnetic with which said spin transistor can control the sense of magnetization independently (a "free layer" is called hereafter), It has every at least one ferromagnetic (a "pin layer" is called hereafter) to which the sense of magnetization is not changed, and it is desirable to hold the 1st condition that the sense of magnetization of said free layer and the sense of magnetization of said pin layer are the same, and the 2nd condition that the sense of magnetization differs, as storage information.

[0021]

Said spin transistor is equipped with the 3rd electrode structure which controls the amount of the spin polarization carrier conducted to said 2nd electrode structure from the 2nd electrode structure which receives the 1st electrode structure and said spin polarization carrier which pours in a spin polarization carrier, and said 1st electrode structure, and it is desirable that said pin layer and said free layer are contained in either of said

electrode structures from the 1st to the 3rd.

[0022]

The store circuit which has the above-mentioned spin transistor arranged in the shape of a matrix, the word line connected to said 3rd electrode structure, the 1st wiring which grounds said 1st electrode structure, and the bit line connected to said 2nd electrode structure is offered. Two or more word lines extend in the direction of a train, and two or more bit lines extend in the direction (line writing direction) which intersects this. The above-mentioned spin transistor is arranged near the intersection of a word line and a bit line.

[0023]

By passing a current to 1st another wiring and 2nd another wiring which cross in the condition of having insulated electrically mutually on said spin transistor, by the magnetic field by which induction is carried out, magnetization of said free layer can be reversed, the relative magnetization condition between said free layers and said pin layers can be changed, and information can be memorized in the above-mentioned store circuit (or it rewrites).

[0024]

It is also possible to replace with either said 1st another wiring and said 2nd another wiring, said 1st another wiring or said 2nd another wiring, and to use either said word line and said bit line, said word line or said bit line.

[0025]

In the above-mentioned store circuit, information can be read based on the output characteristics in said spin transistor in case said free layer contained in said spin transistor and said pin layer have parallel magnetization.

[0026]

Furthermore, in the above-mentioned store circuit, an output terminal is formed in the end of each bit line, and the store circuit in which the 2nd wiring which branches from each bit line and is connected to a power source through a load was prepared is offered.

[0027]

In this case, information can be read with the output voltage obtained based on said 1st [ the ] of said spin transistor depending on the relative magnetization condition of said free layer and said pin layer, and the voltage drop of said load by the current produced between the 2nd electrode structure.

If the above-mentioned circuit is used, a high-speed non-volatile store circuit can be offered by the high accumulation consistency which can design the output voltage according to the magnetization condition in a transistor according to a load and a power source.

[0028]

[Embodiment of the Invention]

The transistor concerning this invention has the spin injector which pours in the spin polarization hot carrier which has the sense of specific spin, and the spin analyzer which sorts out this poured-in spin polarization hot carrier according to the sense of that spin. The spin injector has the 1st ferromagnetic barrier layer which has the thickness in which the tunnel effect of a Fowler-Nordheim tunnel or a direct tunnel is possible, the 1st nonmagnetic electrode layer joined to the end side of the 1st ferromagnetic barrier layer, and the 2nd nonmagnetic electrode layer joined to the other end side of the 1st ferromagnetic barrier layer. The spin analyzer has the 2nd ferromagnetic barrier layer, the 2nd nonmagnetic electrode layer joined to the end side of the 2nd ferromagnetic barrier layer, and the 3rd nonmagnetic electrode layer joined to the other end side of the 2nd ferromagnetic barrier layer, and a spin injector and the 2nd nonmagnetic electrode layer are common. As for the thickness of the 2nd nonmagnetic electrode layer, it is desirable that it is the thickness below the mean free path of the spin polarization hot carrier in this nonmagnetic electrode layer.

[0029]

That is, as compared with the configuration of a well-known hot electron transistor, the 1st nonmagnetic electrode layer and the 1st ferromagnetic barrier layer correspond to an emitter and an emitter barrier, the 2nd nonmagnetic electrode layer corresponds to the base, and the 2nd ferromagnetic barrier layer and the 3rd nonmagnetic electrode layer correspond the above-mentioned configuration to a collector obstruction and a collector.

[0030]

The 1st and 2nd ferromagnetic barrier layers are constituted including a ferromagnetic insulating semi-

conductor or a ferromagnetic insulating insulator. The energy band of these ferromagnetic barrier layers is carrying out spin fission by the magnetic exchange interaction, and only a rise spin band or a down spin band exists by this spin fission at a band edge. Moreover, the energy width of face in which only one spin band exists is called spin fission width of face.

[0031]

In the spin filter effectiveness of a spin injector In the tunnel effect of the Fowler-Nordheim tunnel which impresses an electrical potential difference to the 1st ferromagnetic barrier layer, and it is made to produce through the 1st nonmagnetic electrode layer and the 2nd nonmagnetic electrode layer, or a direct tunnel Sense of the spin which was in agreement with the sense of the spin of the spin band in the band edge of the ferromagnetic barrier layer of [ 1st ] the carriers of the 1st nonmagnetic electrode layer (in the case where a carrier is an electron) magnetization of the 1st ferromagnetic barrier layer -- anti- -- the sense of the spin which becomes parallel to magnetization of the 1st ferromagnetic barrier layer by the case where a carrier is an electron hole, about the sense of the spin which becomes parallel is pointed out. Sense of the spin which whose tunnel probability of the carrier which it has is large, and is not in agreement (in the case where a carrier is an electron) the case where a carrier is an electron hole about the sense of the spin which becomes parallel to magnetization of the 1st ferromagnetic barrier layer -- magnetization of the 1st ferromagnetic barrier layer -- anti- -- the sense of the spin which becomes parallel is pointed out. It uses that the tunnel probability of the carrier which it has is small.

[0032]

[ when the spin filter effectiveness of a spin analyzer pours a spin polarization hot carrier into the band in which the 2nd ferromagnetic barrier layer carried out spin fission from a spin injector ] When the sense of the poured-in spin of a spin polarization hot carrier and the sense of the spin of the spin band in the band edge of the 2nd ferromagnetic barrier layer are parallel (the 1st and 2nd ferromagnetic barrier layer is parallel magnetization) Although a spin polarization hot carrier conducts the inside of the spin band of the 2nd ferromagnetic layer and the 3rd nonmagnetic electrode layer is reached When the sense of the spin of the spin band in the band edge of a spin polarization hot carrier and the 2nd ferromagnetic layer is anti-parallel (the 1st and 2nd ferromagnetic barrier layer is anti-parallel magnetization), a spin polarization hot carrier uses that the 2nd ferromagnetic barrier layer cannot be conducted.

[0033]

The above-mentioned transistor operates as follows.

The 1st electrical potential difference is impressed according to the 1st power source between the 1st nonmagnetic electrode layer and the 2nd nonmagnetic electrode layer. Between the 2nd nonmagnetic electrode layer and the 3rd nonmagnetic electrode layer, Or the 2nd electrical potential difference is impressed according to the 2nd power source between the 1st nonmagnetic electrode layer and the 3rd nonmagnetic electrode layer. It responds to the sense of relative magnetization with the 1st ferromagnetic barrier layer and the 2nd ferromagnetic barrier layer. The spin polarization hot carrier injected into the 2nd nonmagnetic electrode layer is changed from the 1st nonmagnetic electrode layer to the current which flows through the 2nd ferromagnetic barrier layer and the 2nd power source, or the current which flows through the 2nd nonmagnetic electrode layer and the 1st power source.

[0034]

At this time, the 1st electrical potential difference is impressed so that the poured-in energy of a spin polarization hot carrier may become it is larger than the energy of the spin band edge in the band edge of the 2nd ferromagnetic barrier layer, and smaller than the energy which applied spin fission width of face to the spin band edge.

[0035]

According to the above-mentioned configuration, the carrier in the 1st nonmagnetic electrode layer which has the sense of the spin of the spin band in the band edge of the 1st ferromagnetic barrier layer and the sense of parallel spin is injected into the 2nd nonmagnetic electrode layer as a spin polarization hot carrier according to the tunnel effect of a Fowler-Nordheim tunnel, a direct tunnel, etc. Since the thickness of the 2nd nonmagnetic electrode layer is the thickness below the mean free path of the spin polarization hot carrier in the 2nd nonmagnetic electrode layer, the poured-in spin polarization hot carrier reaches the 2nd ferromagnetic barrier layer, without losing energy. In addition, the energy of a spin polarization hot carrier Since it has energy larger

[ than the energy of the spin band edge in the band edge of the 2nd ferromagnetic barrier layer ] and smaller than the energy which applied spin fission width of face to this spin band edge, When the sense of the poured-in spin of a spin polarization hot carrier is parallel to the sense of the spin of the spin band in the band edge of the 2nd ferromagnetic barrier layer By the electric field generated in the 2nd ferromagnetic barrier layer, a spin polarization hot carrier conducts the inside of this spin band, is conveyed to the 3rd nonmagnetic electrode layer, and becomes the current which flows between the 3rd nonmagnetic electrode layer and the 1st nonmagnetic electrode layer.

[0036]

On the other hand, when the sense of the poured-in spin of a spin polarization hot carrier is the sense of the spin of a spin band and the anti-parallel in the band edge of the 2nd ferromagnetic barrier layer, spin polarization hot carriers are scattered about by the interface of the 2nd nonmagnetic electrode layer and the 2nd ferromagnetic barrier layer (or echo), and become the current which flows between the 2nd nonmagnetic electrode layer and the 1st nonmagnetic electrode layer.

[0037]

Thus, the sense of relative magnetization with the 1st ferromagnetic barrier layer and the 2nd ferromagnetic barrier layer can change the current which flows the 1st ferromagnetic barrier layer through the 2nd ferromagnetic layer by parallel or anti-parallel to the current which flows between the 3rd nonmagnetic electrode layer and the 1st nonmagnetic electrode layer, or the current which flows between the 2nd nonmagnetic electrode layer and the 1st nonmagnetic electrode layer. That is, the current which flows through the 2nd ferromagnetic barrier layer is controllable by the sense of relative magnetization of the 1st ferromagnetic barrier layer and the 2nd ferromagnetic barrier layer. Although it responds to controlling collector current by base current if it is made to contrast with actuation of the hot electron transistor of the well-known grounded base or a grounded emitter, or a bipolar transistor, with the transistor by the gestalt of this operation, the current amplification factor of the collector current by base current is controllable by the sense of relative magnetization with the 1st ferromagnetic barrier layer and the 2nd ferromagnetic barrier layer. That is, the transistor by the gestalt of this operation is a transistor which can control a current amplification factor, and can control collector current not only by base current (or the 1st and 2nd nonmagnetic inter-electrode bias voltage) but by the sense of relative magnetization of the 1st ferromagnetic barrier layer and the 2nd ferromagnetic barrier layer.

[0038]

Moreover, if the coercive force of the 1st ferromagnetic barrier layer and the 2nd ferromagnetic barrier layer is changed or the sense of one magnetization is fixed, the sense of relative magnetization with the 1st ferromagnetic barrier layer and the 2nd ferromagnetic barrier layer can be changed into parallel or either of the anti-parallel at arbitration by impressing the magnetic field of the suitable reinforcement which the sense of magnetization of the either the 1st ferromagnetic barrier layer or the 2nd ferromagnetic barrier layer reverses. That is, information can be made to memorize in a transistor.

[0039]

Therefore, a memory cell can be constituted using the above-mentioned transistor. An example of the nonvolatile memory using the transistor by the gestalt of this operation is explained below. The 2nd nonmagnetic electrode layer of the transistor by the gestalt of this operation is connected to a word line, the 3rd nonmagnetic electrode layer of a transistor is connected to a bit line, a bit line is connected to a power source through a load, and the 1st nonmagnetic electrode layer of a transistor is grounded. If according to this configuration a specific word line is chosen, bias is added to the 2nd nonmagnetic electrode layer, a specific bit line is chosen and output voltage (electrical potential difference produced in the 1st and 2nd nonmagnetic inter-electrode one) is detected, output voltage will change according to the sense of relative magnetization of the 1st ferromagnetic barrier layer of a transistor, and the 2nd ferromagnetic barrier layer. That is, when the sense of relative magnetization is parallel, output voltage becomes small, and output voltage becomes large when the sense of relative magnetization is anti-parallel. Therefore, the memorized information can be read by the size of output voltage.

[0040]

Since the transistor by the gestalt of this operation is used for the above-mentioned nonvolatile memory as a grounded emitter transistor, it adds a power source and a load to a collector and makes collector voltage output

voltage, circumference circuits, such as supply voltage and a load, can design it to the value of a request of output voltage in case the 1st and 2nd ferromagnetic barrier layer is parallel magnetization, and the output voltage in the case of being anti-parallel magnetization. Therefore, if the above-mentioned nonvolatile memory is used, the trouble of a TMR ratio being small and being hard to distinguish storage information, and the trouble that the ratio of output voltage becomes small by impression bias are solvable further in the trouble list in MRAM using MTJ that tunnel resistance is small and output voltage is small.

[0041]

Hereafter, it explains to a detail, referring to on a drawing about the configuration and actuation of the above-mentioned transistor. In addition, in order to give the following explanation intelligible, the transistor by the gestalt of this operation is called a spin filter transistor.

[0042]

Drawing 1 (A) is a typical sectional view, and drawing 1 is drawing showing the configuration of the spin filter transistor by the gestalt of this operation, and it is [ drawing 1 (B) is energy band drawing of the conduction band (or valence-electron band) of a configuration of being shown in drawing 1 (A), and ] drawing having shown the sense of the spin of the spin band in a barrier layer collectively. However, if a carrier is an electron hole, the sense of spin and the sense of magnetization in a band edge are in agreement, but if a carrier is an electron, the sense of spin and the sense of magnetization in a band edge will turn into reverse sense.

[0043]

The spin filter transistor 1 by the gestalt of this operation The 1st ferromagnetic barrier layer 2 and the 1st nonmagnetic electrode layer 3 joined to the end side of the 1st ferromagnetic barrier layer 2, The spin injector 5 constituted by having the 2nd nonmagnetic electrode layer 4 joined to the other end side of the 1st ferromagnetic barrier layer 2, It has the spin analyzer 8 constituted by having the 2nd ferromagnetic barrier layer 6, the 2nd nonmagnetic electrode layer 4 joined to the end side of the 2nd ferromagnetic barrier layer 6, and the 3rd nonmagnetic electrode layer 7 joined to the other end side of the 2nd ferromagnetic barrier layer 6, and is constituted. The spin injector 5 and the spin analyzer 8 are carrying out the 2nd nonmagnetic electrode layer 4 in common so that clearly from drawing 1 (A).

[0044]

Non-magnetic metal, n mold nonmagnetic semi-conductor, or the nonmagnetic semi-conductor of p mold can be used as 1st, 2nd, and 3rd nonmagnetic electrode layers 3, 4, and 7. Moreover, as for the thickness of the 2nd nonmagnetic electrode layer 4, it is desirable to carry out to below the mean free path in the nonmagnetic electrode layer 4 of the spin polarization hot carrier poured in from the spin injector. By making base width of face shorter than a mean free path, it becomes possible to make the rate of current transfer or more into 0.5, and a current amplification operation can be acquired.

[0045]

As 1st and 2nd ferromagnetic barrier layers 2 and 6, a ferromagnetic insulating semi-conductor or a ferromagnetic insulating insulator can be used. The energy band of a ferromagnetic barrier layer is carrying out spin fission by the magnetic exchange interaction, and the energy field where only rise spin or down spin exists is made at a band edge. This band that carried out spin polarization is called a spin band, and calls this energy field width of face the spin fission width of face delta.

[0046]

As shown in drawing 1 (B), the continuous line which attached and showed arrow-head \*\* to the ferromagnetic barrier layers 2 and 6 is the edge 9 of the band with which rise spin can exist, i.e., a rise spin band edge, and, on the other hand, the continuous line which attached and showed arrow-head \*\* is the edge 10 of the band with which down spin can exist, i.e., a down spin band edge. Between the rise spin SUNDY edges 9 and the down spin band edges 10 in drawing 1 (B), it is the field where only rise spin can exist. Moreover, the field which has energy higher than the down spin band edge 10 is a field where both rise spin and down spin can exist.

Although drawing 1 (B) has illustrated the case where the spin band of rise spin is lower than the spin band of down spin, this [ its ] is possible also for the condition of reverse.

[0047]

The 1st ferromagnetic barrier layer 2 has the thickness which can penetrate the 2nd nonmagnetic electrode layer 4 HEKYARIA from the 1st nonmagnetic electrode layer 3 according to the tunnel effect of a Fowler-Nordheim tunnel (FN tunnel is called henceforth.) or a direct tunnel with the electrical potential difference impressed to

the 1st nonmagnetic electrode layer 3 and the 2nd nonmagnetic electrode layer 4. In addition, a direct tunnel means the phenomenon in which a carrier penetrates a thin potential barrier directly. Moreover, a certain applied voltage can disregard the tunnel current by direct tunnel, and FN tunnel means the phenomenon in which a carrier tunnels the triangular potential of the potential barrier upper part produced by impressing the electrical potential difference beyond a certain value.

[0048]

In the electrical-potential-difference range used for the usual memory circuit, the electrical potential difference impressed to the 1st nonmagnetic electrode layer 3 and the 2nd nonmagnetic electrode layer 4 is good, for example, is several V order from hundreds of mV. It is necessary to make thickness of the 2nd ferromagnetic barrier layer 6 thick to extent which the heat dissipation of a carrier or the current (the so-called leakage current) by tunnel does not produce from the 2nd nonmagnetic electrode layer 4 in the 3rd nonmagnetic electrode layer 7.

[0049]

Above-mentioned nonmagnetic electrode layers 3, 4, and 7 and ferromagnetic electrode layers 2 and 6 form the energy band structure shown in drawing 1 (B). The continuous line 11 for a nonmagnetic electrode layer in drawing 1 (B) shows metaled Fermi energy, the Fermi energy of n mold (p mold) semi-conductor, or the energy of the bottom (summit of a valence band) of a conduction band. phiC shows the energy barrier of the lower one of the ferromagnetic barrier layers 2 and 6 to the continuous line 11 for a nonmagnetic electrode layer, and spin fission width of face is expressed with delta. Although the ferromagnetic barrier layers 2 and 6 may have delta as phiC of a different value, below, they show the case where it has delta as phiC of the same value by the ferromagnetic barrier layers 2 and 6.

[0050]

When a carrier is an electron, non-magnetic metal or a n-type semiconductor is used for the nonmagnetic electrode layers 3, 4, and 7, and a ferromagnetic insulating semi-conductor or a ferromagnetic insulating insulator is used for the ferromagnetic barrier layers 2 and 6. In this case, the bottom of a conduction band carries out spin fission of the rise spin band edge 9 of the ferromagnetic barrier layers 2 and 6, and the down spin band edge 10. Moreover, in making a carrier into an electron hole, it uses a ferromagnetic insulating semi-conductor or a ferromagnetic insulating insulator for the ferromagnetic barrier layers 2 and 6, using a p type semiconductor as nonmagnetic electrode layers 3, 4, and 7. In this case, a valence-band summit carries out spin fission of the rise spin band edge 9 of the ferromagnetic barrier layers 2 and 6, and the down spin band edge 10.

[0051]

Next, the principle of operation of the above-mentioned spin filter transistor is explained in detail. In future explanation, in order to simplify explanation, the notation of a hot electron transistor is used together and explained. That is, the base 22, the 2nd ferromagnetic barrier layer 6, and the 3rd nonmagnetic electrode layer 7 are called [ the 1st nonmagnetic electrode layer 3 and the 1st ferromagnetic barrier layer 2 ] a collector 23 for an emitter 21 and the 2nd nonmagnetic electrode layer 4, and the emitter electrode 3 and the 3rd nonmagnetic electrode layer 7 are called a collector electrode 7 for the 1st nonmagnetic electrode layer 3. Moreover, the case where a carrier is an electron is made into an example, and it explains (also when a carrier is a hole, since the principle of operation is intrinsically equivalent, explanation is omitted).

[0052]

energy band drawing when drawing 2 applies grounded-base bias voltage between the emitter of the transistor by the gestalt of this operation, the base, and a collector -- it is -- drawing 2 (A) -- case the sense of magnetization of the 1st and 2nd ferromagnetic barrier layers is mutually parallel -- drawing 2 (B) -- the sense of magnetization of the 1st and 2nd ferromagnetic barrier layers -- mutual -- anti- -- it is a case [ \*\*\*\* ] and is drawing corresponding to drawing 2 (A). Bias voltage VEB is applied between an emitter 21 and the base 22, and bias voltage VCB is applied between the base 22 and a collector 23. At this time, the magnitude of VEB is set up so that the relation of ( $\phi_c - qV_{EB} - \phi_c + \delta$ ) may be filled. However, q is elementary charge.

[0053]

An emitter 21 works as a spin injector which pours into the base 22 the hot electron which carried out spin polarization. That is, since the conduction band of the 1st ferromagnetic barrier layer 2 is carrying out spin fission when passing a carrier with bias voltage VEB and passing the 1st ferromagnetic barrier layer 2 with a tunnel from the emitter electrode 3, the obstruction height sensed as the rise spin electron 24 which exists in the

emitter electrode 3, and the down spin electron 25 differs.

[0054]

That is, in drawing 2 (A), the obstruction height which the rise spin electron 24 senses is the energy to the rise spin band edge 9 of the 1st ferromagnetic barrier layer 2, i.e.,  $\phi_{HC}$ , and the obstruction height which the down spin electron 25 senses is, the energy, i.e.,  $\phi_{DC} + \Delta$ , to the down spin band edge 10 of the 1st ferromagnetic barrier layer 2. Therefore, the base 22 can be made to carry out tunnel impregnation of the electron in which the obstruction height to sense has the spin of the lower one, and the electron 24 which has rise spin in this case selectively by controlling a base-emitter electrical potential difference (this phenomenon is called the spin filter effectiveness.).

[0055]

On the other hand, the collector 23 of the above-mentioned transistor works as a spin analyzer which sorts out the sense of the spin polarization hot electron poured into the base 22. That is, the spin polarization hot electron 26 which changed into the hot condition and was poured into the base 22 with bias voltage  $VE_B$  can reach BARISUTIKKU, without losing energy to the interface of the base 22 and a collector 23, since the width of face of the base 22 is set below to the mean free path of the spin polarization hot electron 26. Two obstructions from which obstruction height differs by spin fission of a conduction band have also produced the 2nd ferromagnetic barrier layer 6 of a collector 23. As shown in drawing 2 (A), when the 1st and the 2nd ferromagnetic barrier layer 2, and the sense of magnetization of six are mutually parallel, since the rise spin band edge 9 with spin parallel to the spin polarization hot electron 26 of the 2nd ferromagnetic barrier layer 6 is lower than the energy of the spin polarization hot electron 26, the spin polarization hot electron 26 is conducted to a collector electrode 7 exceeding the 2nd ferromagnetic barrier layer 6, and serves as collector current  $IC$ .

[0056]

On the other hand, although the spin polarization hot electron 27 which has down spin is poured into the base 22 when the magnetization direction of the 1st and 2nd ferromagnetic barrier layers 2 and 6 is mutually made anti-parallel as shown in drawing 2 (B) Since the down spin band edge 10 of the 2nd ferromagnetic barrier layer 6 which has down spin is higher than the energy of the spin polarization hot electron 27 The spin polarization hot electron 27 cannot conduct the conduction band of the 2nd ferromagnetic barrier layer 6, but loses energy in response to spin dependence dispersion (or echo) in the interface of the base 22 and a collector 23, and serves as base current  $IB$ .

[0057]

Thus, the rate of current transfer of KOREKUTAHE flow \*\*\*\*\* changes greatly from an emitter with sense of relative magnetization with the 1st ferromagnetic barrier layer 2 of an emitter 22, and the 2nd ferromagnetic barrier layer 6 of a collector 23. If it puts in another way, the current amplification factors of the collector current by base current differ greatly.

[0058]

Drawing 3 is drawing showing the static characteristic in the grounded base of the spin filter transistor by the gestalt of this operation. An axis of abscissa shows the collector-base electrical potential difference  $VC_B$  rightward [ drawing top ], and shows the emitter-base electrical potential difference  $VE_B$  leftward, and the axis of ordinate shows emitter current  $IE$ , base current  $IB$ , and collector current  $IC$ . Drawing 3 (B) shows the static characteristic in anti-parallel for the static characteristic in case the magnetization directions of drawing 3 (A) of the ferromagnetic barrier layer of an emitter and a collector are parallel. In addition, in drawing 3 (A) and drawing 3 (B), alpha shows the rate of current transfer, and beta shows a current amplification factor, and a suffix, \*\*\*\*, and \*\*\*\* show the case where the relative magnetization directions of the ferromagnetic barrier layer of an emitter and a collector are parallel, and the case where they are anti-parallel, respectively.

[0059]

As shown in drawing 3 (A), when the magnetization directions of an emitter and a collector are parallel, most emitter current  $IE$  can set to collector current  $IC$ . As shown in drawing 3 (B), when the magnetization directions are anti-parallel, most emitter current  $IE$  can consider as base current  $IB$ . Also in the transistor by the gestalt of this operation, collector current  $IC$  is controllable by base current  $IB$  like a well-known hot electron transistor or a well-known bipolar transistor. In addition, a current amplification factor is controllable also by the sense of relative magnetization of the 1st and 2nd ferromagnetic barrier layer.

[0060]

As a ferromagnetic barrier layer of the spin filter transistor by the gestalt of this operation, ferromagnetic semiconductors, such as EuS, EuSe, and EuO, can be used. Moreover, ferromagnetic insulators, such as R3Fe 5O12 (R shows rare earth elements), can also be used. As a nonmagnetic electrode layer, nonmagnetic semiconductors, such as metals, such as aluminum and Au, Si by which the impurity dope was carried out at high concentration, and GaAS, may be [ that what is necessary is just non-magnetic material ] used. For example, as a ferromagnetic barrier layer, when aluminum is used as EuS and a nonmagnetic electrode layer, it is obstruction height  $\phi_{iC}=1.4\text{eV}$  and is  $\Delta=0.36\text{eV}$  in spin fission width of face. Moreover, the spin filter transistor by the gestalt of this operation can be manufactured using the above-mentioned ingredient by well-known molecular beam epitaxy, the vacuum deposition method, the sputtering method, etc.

[0061]

Next, the nonvolatile memory using the spin filter transistor of this invention as a memory cell is explained. Drawing 4 (A) is drawing showing the example of 1 configuration of the memory cell using the spin filter transistor 1 by the gestalt of this operation. In the memory cell shown in drawing 4 (A), many spin filter transistors have been arranged in the shape of a matrix, the emitter terminal E was grounded, and the collector terminal C and base terminal B are connected to the bit line BL for read-out, and the word line WL for read-out, respectively. Moreover, the word line for rewriting and the bit line for rewriting are arranged so that it may cross in the condition of having insulated with other wiring on the electric target on the above-mentioned spin filter transistor. As this word line for rewriting, and a bit line for rewriting, the above-mentioned bit line BL for read-out and the above-mentioned word line WL for read-out may be used together. Drawing 4 (A) is drawing showing the cel configuration at the time of using together. In the case of drawing 4 (A), while being able to constitute a memory cell from a spin filter transistor simple substance, it can be made a very simple configuration also about wiring. Therefore, the layout suitable for detailed-ization can be constituted easily. Drawing 4 (B) uses the same cel configuration.

[0062]

Next, the memory circuit by the gestalt of this operation is explained with reference to drawing 4 (B). The memory circuit 41 by the gestalt of this operation connects to a word line 42 the 2nd nonmagnetic electrode 4 which is the base of the spin filter transistor 1 (drawing 1), connects to a bit line 43 the 3rd nonmagnetic electrode 7 which is the collector electrode of the spin filter transistor 1, connects a bit line 43 to a power source (VCC) 45 through a load (RL) 44, and has the configuration which grounded the 1st nonmagnetic electrode 3 which is the emitter electrode of the spin filter transistor 1. Although pure resistance is used as a load here, an active load with a transistor may be used.

[0063]

In order to read the storage information on a specific memory cell, the specific word line 42 is chosen, bias is added between the emitter-bases, the supply voltage VCC of a power source 45 is impressed to a bit line 43 through load resistance 44, and storage information is read by the size of the output voltage VO which appears in a bit line 43. The axis of ordinate of drawing 4 (C) expresses collector current IC, an axis of abscissa expresses collector-to-emitter-voltage VCE, and the load straight line 46 by load resistance 44 is indicated to be the IC-VCE property of a spin filter transistor on the same drawing. Output voltage VO is determined from the intersection of these properties. That is, it becomes  $VO^{***}$  and  $VO^{***}$  as the mutual magnetization direction of the 1st and 2nd ferromagnetic barrier layers 2 and 6 shows the output signal of the case of parallel, and the case of anti-parallel to drawing 4 (C), respectively. The absolute value of  $VO^{***}$  and  $VO^{***}$  and the ratio of  $VO^{***}$  and  $VO^{***}$  can be optimized with a circuit parameter (RL and VCC). Thus, the non-volatile memory device by the gestalt of this operation can obtain the ratio of the output signal of required magnitude, and an output signal, without adjusting own structure of a component like MTJ.

[0064]

The spin filter effectiveness used in the transistor by the gestalt of this operation is the effectiveness using spin fission of the band in a ferromagnetic, and is high compared with the TMR effectiveness of MTJ. [ of the selectivity of spin ] In the case of parallel magnetization [ the relative magnetization condition between the 1st and 2nd ferromagnetic barrier layers ], if  $\Delta$ -SU width of face is set below to the mean free path of a spin polarization hot carrier, the rate alpha of current transfer (it defines by  $=IC/IE$ ) can become 0.5 or more, but in the case of anti-parallel magnetization, the rate of current transfer is very small. That is, change of the rate of current transfer of the case of parallel magnetization and the case of anti-parallel magnetization will be further

amplified, when it sees with a current amplification factor beta (it defines as  $=IE/IB$ ). The ratio of the absolute value of a desired output signal and a desired output signal can be easily obtained by optimizing an output signal by the circumference circuit mentioned above to the output characteristics of this greatly different spin filter transistor in the state of magnetization.

[0065]

Next, the non-volatile store circuit using the transistor (a "spin transistor" is called hereafter) which has the output characteristics depending on the sense of the spin of a carrier is explained.

The store circuit concerning this invention is related with the non-volatile store circuit which used the spin transistor. A spin transistor contains ferromagnetics, such as a ferromagnetic metal and a ferromagnetic semiconductor, in a transistor, controls the sense of the spin of a carrier by this magnetization condition, and changes output characteristics. Information is memorized based on the magnetization condition of the ferromagnetic in the interior of a spin transistor, and information is read using the output characteristics of the transistor reflecting the magnetization condition inside a spin transistor. If a spin transistor is used, it is possible to constitute a 1-bit non-volatile memory cell from one spin transistor, and it is possible to optimize the value of the output signal over storage information by the circumference circuit linked to this memory cell.

[0066]

More, it has the ferromagnetic layer (free layer) in which a spin transistor can control the sense of magnetization by a magnetic field etc. independently at a detail, and every at least one ferromagnetic layer (pin layer) to which the sense of magnetization is being fixed, and even if it is under the same bias, it is the transistor which can control the output characteristics of a transistor by the sense of relative magnetization of a free layer and a pin layer. By changing the sense of magnetization of a free layer by a magnetic field etc., two conditions, parallel magnetization or anti-parallel magnetization, are [ the relative magnetization condition of a free layer and a pin layer ] realizable. These two magnetization conditions correspond to the storage information on binary.

[0067]

In a spin transistor, the output characteristics according to the magnetization condition in a transistor can be obtained based on the conduction phenomenon of changing depending on the sense of the spin of carriers, such as spin dependence dispersion, a tunnel magneto-resistive effect, and the spin filter effectiveness. The spin transistor is equipped with the 3rd electrode structure which controls the amount of the spin polarization carrier conducted to the 2nd electrode structure from the 2nd electrode structure which receives the 1st electrode structure and spin polarization carrier which pours in a spin polarization carrier, and the 1st electrode structure.

[0068]

In a spin transistor, it operates based on the same principle of operation as a general transistor except the conduction phenomenon depending on spin. Therefore, a spin transistor can be classified into current actuation mold transistors, such as a bipolar transistor, and electrical-potential-difference actuation mold transistors, such as a field-effect transistor. a current actuation mold transistor -- in the 1st electrode structure, the 2nd electrode structure corresponds to a collector and the 3rd electrode structure corresponds to an emitter at the base, respectively. The spin filter transistor explained with the gestalt of this operation is classified into this current actuation mold.

[0069]

moreover -- the case of an electrical-potential-difference actuation mold transistor -- in the 1st electrode structure, the 2nd electrode structure corresponds to a drain and the 3rd electrode structure corresponds to the source at the gate, respectively. Even if the collector current or the drain current in a spin transistor is under the same bias, it changes in the state of magnetization of the ferromagnetic contained in a spin transistor.

[0070]

About the detail of a spin transistor, it mentions later, and the general output characteristics of a spin transistor and the nonvolatile memory using a spin transistor are explained hereafter. Below, suppose that parallel magnetization or anti-parallel magnetization is realizable of the relative magnetization condition of a free layer and a pin layer by impressing a magnetic field to a free layer including the ferromagnetic of a free layer and a pin layer in a spin transistor. Moreover, this magnetization condition shall exist in stability, unless the magnetic field beyond the coercive force of a free layer is impressed.

[0071]

The example of the output characteristics of a current actuation mold spin transistor is typically shown in drawing 5 (A). Like the usual current actuation mold transistor, although collector current IC is controllable by the magnitude of base current IB, it depends for the magnitude of collector current also on the magnetization condition of the ferromagnetic contained in a spin transistor. In the case of anti-parallel magnetization, even if it is adding the same bias as a spin transistor in the case of drawing 5 (A) (IB=IB1), in the case of parallel magnetization, collector current IC\*\*\*\* is large, and collector current IC\*\*\*\* is small.

[0072]

The example of the output characteristics of an electrical-potential-difference actuation mold spin transistor is typically shown in drawing 5 (B). Like field-effect transistors, such as the usual MOS transistor, when a GETO source electrical potential difference (VGS) is smaller than threshold VT (VGS<VT), a spin transistor hardly produces a drain current in a cut off state. Although a spin transistor will be in switch-on if VGS more than VT is impressed, drain current values differ by the case where it has the case where the ferromagnetic contained in a spin transistor has parallel magnetization under the same bias (VGS=VGS1), and anti-parallel magnetization. When it has parallel magnetization in the case of drawing 3 (B), drain current ID\*\*\*\* is large, and when it has anti-parallel magnetization, drain current ID\*\*\*\* is small.

[0073]

Therefore, in a spin transistor, the sense of relative magnetization of the free layer in which a current actuation mold and an electrical-potential-difference actuation mold are contained in a device, and a pin layer is electrically detectable based on the magnitude of collector current or a drain current. Moreover, as mentioned above, with a ferromagnetic, unless the magnetic field beyond the coercive force of a free layer is impressed from the exterior, the sense of magnetization can be held to stability. For this reason, in a spin transistor, the information on binary is memorizable by making the relative magnetization condition of a free layer and a pin layer included in a device parallel magnetization or anti-parallel magnetization. Therefore, if a spin transistor is used, a 1-bit non-volatile memory cell can consist of only one spin transistor.

[0074]

The case where the spin transistor of an electrical-potential-difference actuation mold is used is hereafter made into an example, and the nonvolatile memory using a spin transistor is explained in full detail. When the spin transistor of a current actuation mold is used for a memory cell, it can constitute similarly.

[0075]

Drawing 6 (A) is drawing showing the example of a configuration of the memory cell which used the spin transistor. Drawing 6 (B) is drawing showing the example of a configuration of the store circuit formed based on this memory cell. The relation between drawing 6 (A) and drawing 6 (B) is the same as the relation between drawing 4 (A) and drawing 4 (B). In the memory circuit shown in drawing 6 (A), many spin transistors 150 have been arranged in the shape of a matrix, Source S was grounded, and Drain D and Gate G are connected to the bit line BL for read-out, and the word line WL for read-out, respectively. Moreover, the word line for rewriting and the bit line for rewriting are arranged so that it may cross in the condition of having insulated with other wiring on the electric target on the above-mentioned spin transistor 150. As this word line for rewriting, and a bit line for rewriting, the above-mentioned bit line BL for read-out and the above-mentioned word line WL for read-out may be used together. Drawing 6 (A) and (B) are drawings showing the configuration at the time of using together. In the case of drawing 6 (A) and (B), while being able to constitute a memory cell only from one spin transistor, it can arrange in a very simple configuration also about wiring.

The spin transistor of the electrical-potential-difference actuation mold which has the gestalt of resemblance in an MOS transistor especially can constitute easily the layout suitable for detailed-ization of carrying out the source in common etc. from an adjacent memory cell.

Hereafter, rewriting / bit line for read-out, and rewriting / word line for read-out mentioned above is only called bit line BL and a word line WL, respectively.

[0076]

Informational rewriting reverses the free layer of the memory cell chosen by the synthetic field of the field in which induction is carried out to the bit line BL which crosses on the selected memory cell, and a word line WL by the current which flows a current to a sink and each wiring, and rewrites information. Under the present circumstances, in order for the non-choosing cel linked to the same bit line BL or same word line WL as a selection cel not to carry out flux reversal, in the field only from one wiring, the current value passed to each

wiring so that flux reversal may not be produced is set up.

[0077]

After read-out of information impresses an electrical potential difference to the word line WL connected to the selection cel and makes it flow through a spin transistor, it impresses an electrical potential difference to a bit line BL, and detects the magnitude of a drain current. Based on the magnitude of this drain current, the relative magnetization condition of a free layer and a pin layer is detectable.

[0078]

Drawing 6 (B) is the memory circuit which branched from an output terminal VO and this output terminal VO at the bit line edge of a memory circuit shown in drawing 6 (A), and was connected to supply voltage VDD through the load. The static characteristic and the operating point of a memory cell which were shown in drawing 6 (C) at drawing 6 (B) are shown. Here, although the active load 160 by the depletion type MOS transistor is used as a load, pure resistance may be used like drawing 4 (B). If gate voltage VGS is impressed to the gate of a spin transistor 150 at the time of informational read-out and supply voltage VDD is impressed to a bit line BL through a load as shown in drawing 6 (C) The operating point by the active load moves on the load curve in drawing 6 (C) according to a pin layer, a free layer, and the magnetization condition of a between (P11 and P12 in drawing), and the output signal V0 of the case of parallel magnetization and anti-parallel magnetization becomes V0 \*\*\*\* in drawing, and V0 \*\*\*\*, respectively. The absolute value and ratio (V0\*\*\*\*/V0\*\*\*\*) of each output signal can be optimized with the parameter of circumference circuits, such as the transistor characteristics of an active load, and VDD. For example, by optimizing the intersection of the static characteristic of a spin transistor, and the load curve by the active load, drain current ratio ID\*\*\*\*/ID\*\*\*\* can obtain a big output signal ratio, even when small. Moreover, if the saturation current of an active load is larger than ID\*\*\*\* and smaller than IC\*\*\*\* even if the value of D\*\*\*\* and ID\*\*\*\* varies by the memory cell, output voltage can be prevented from almost changing. Furthermore, in order not to use a sense amplifier for read-out of information, read-out of a high speed becomes possible. Therefore, in the store circuit by the gestalt of this operation, the output signal of desired magnitude can be acquired easily and it has the advantage that high-speed read-out becomes possible further.

[0079]

In the memory cell using conventional MTJ and a conventional MOS transistor, although the output voltage by resistance of MTJ is read with a sense amplifier, output voltage is determined by the current value passed to MTJ, and the impedance (bond resistance) of MTJ, and cannot adjust an output ratio freely in a circumference circuit.

[0080]

Below, the structure of a spin transistor applicable to the nonvolatile memory circuit by the gestalt of this operation is explained with reference to a drawing. For FM, a ferromagnetic metal and FS are [ the following and / an insulating ferromagnetism semi-conductor and NM of an electrical conductivity ferromagnetism semi-conductor and IFS ] the codes of non-magnetic material. In NM metal, especially non-magnetic metal and NM semi-conductor express a nonmagnetic semi-conductor. First, the spin transistor group of a current actuation mold is explained.

[0081]

Drawing 7 is energy band drawing of the spin transistor of a hot electron transistor mold. As for the spin transistor 200, an emitter 201 and the base 205 consist of FM or an FS. In the detail, the spin transistor 200 has more the emitter 201 which consists of FM (or FS), the emitter barrier 203 which consists of NM, the base 205 which consists of FM (or FS), the collector obstruction 207 which consists of NM, and the collector 211 which consists of NM. As NM, non-magnetic metal or a nonmagnetic semi-conductor can be used.

[0082]

In the spin transistor 200 shown in drawing 7 , tunnel impregnation of the spin polarization hot carrier is carried out at the base 205 through an emitter barrier 203 from an emitter 201. When an emitter 201 and the base 205 are parallel magnetization, if base width of face is set up so that it can pass through the base 205 to BARISUTIKKU in order that the poured-in spin polarization hot carrier may hardly receive spin dependence dispersion in the base 205, it will reach a collector 211 over the collector obstruction 207. That is, the same transistor actuation as the usual hot electron transistor is carried out.

[0083]

On the other hand, when an emitter 201 and the base 205 have anti-parallel magnetization, the spin polarization hot carrier poured into the base 205 from the emitter 201 loses energy by spin dependence dispersion in the base 205, and becomes base current, without the ability exceeding the collector obstruction 207. That is, when an emitter 201 and the base 205 are anti-parallel magnetization, the rate of current transfer falls compared with the case where both are parallel magnetization. Therefore, even if the same bias as a spin transistor 200 is impressed, the rate of current transfer or a current amplification factor changes with differences in the relative magnetization condition of an emitter 201 and the base 205. Moreover, room temperature actuation is also possible for a spin transistor 200 by choosing the obstruction height of a collector obstruction appropriately etc. [0084]

in order to enlarge the ratio of the rate of current transfer with the case where it has the case where between the emitter-base has parallel magnetization, and anti-parallel magnetization which boils, respectively and can be set, a spin transistor 200 needs to take long base width of face so that spin dependence dispersion can act effectively. On the other hand, if base width of face is lengthened, when an emitter and the base are parallel magnetization, the rate of current transfer becomes small, for example, it is less than 0.5, and trade-off that a magnification operation is lost exists.

[0085]

Drawing 8 is energy band drawing of the spin transistor of the hot electron transistor mold which used heat dissipation as a spin impregnation device to the base. As shown in drawing 8, the spin transistor 220 has the emitter 221 which consists of FM (or FS), the base 225 which consists of FM (or FS), and the emitter barrier 223 which consists of NM prepared among both. Furthermore, it has the collector obstruction 227 of the base 225 and an emitter barrier 223 which becomes the opposite hand of junction from NM, and the collector 231 which consists of NM. A nonmagnetic semi-conductor can be used for an emitter barrier 223 and the collector obstruction 227. Moreover, a collector 231 can use a nonmagnetic semi-conductor or non-magnetic metal.

[0086]

Ohmic contact or tunnel contact is formed between an emitter 221 and an emitter barrier 223. Between the base 225 and an emitter barrier 223, between the base 225 and the collector obstruction 227, junction is formed so that it may have the band discontinuity shown in drawing 9. This band discontinuity is realizable with terrorism junction to the Schottky barrier between NM semi-conductor / FM, or that between NM semi-conductor / FS. Or the Schottky barrier may be formed on FS and FM, the Schottky barrier produced in this case may be made into an emitter barrier, FS may be used as an emitter, and FM may be constituted as the base.

[0087]

The spin polarization carrier diffused in the emitter barrier 223 from the emitter 221 is poured in as a hot carrier by heat dissipation by impressing bias to the base 225 to an emitter 221 to the base 225. Although the spin polarization hot carrier poured into the base 225 can reach a collector, without receiving spin dependence dispersion when an emitter 221 and the base 225 have parallel magnetization, in the case where an emitter 221 and the base 225 are anti-parallel magnetization, a spin polarization hot carrier becomes base current by spin dependence dispersion. Also in this transistor 220, since spin dependence dispersion in the base is used, the relation of a trade-off exists like the above-mentioned spin transistor 200 between the ratio of the rate of current transfer in each in the case of having parallel magnetization and anti-parallel magnetization, and the rate of current transfer in parallel magnetization. However, compared with the above-mentioned spin transistor 200 using tunnel impregnation, there are a description that large current driving force can be taken, and the description of being easy to realize room temperature actuation.

[0088]

Drawing 9 is energy band drawing of the spin transistor of the hot electron transistor mold which used the spin filter effectiveness. Although this transistor was already explained to the detail, that description is explained briefly. As for the spin transistor 240 shown in drawing 9, the emitter barrier 243 and the collector obstruction 247 are constituted by IFS. From the emitter 241 which consists of a NM metal (or NM semi-conductor), only the carrier which has spin selectively [ while ] according to the spin filter effectiveness of an emitter barrier 243 can be poured into the base 245 which consists of a NM metal (or NM semi-conductor). If base width of face is set below to the mean free path of the rate hot carrier of spin polarization, the rate hot carrier of spin polarization poured into the base 245 will conduct the base 245 to BARISUTIKKU. At this time, bias of the spin transistor 240 is carried out so that a spin polarization hot carrier may be poured in into the energy fission

width of face of the rise spin band (spin band edge to which the upward arrow head is given in drawing 9 ) of the collector obstruction 247, and a down spin band (spin band edge to which Downarrow is given in drawing 9 ). When an emitter barrier 243 and the collector obstruction 247 have parallel magnetization, the spin polarization hot carrier poured into the base 245 can overcome the obstruction by the spin band of the low energy in the collector obstruction 247 according to the spin filter effectiveness of the collector obstruction 247, and can spread to the collector 251 which consists of a NM metal (or NM semi-conductor). On the other hand, in the case where an emitter barrier 243 and the collector obstruction 247 have anti-parallel magnetization, most spin polarization hot carriers become base current according to the spin filter effectiveness of the collector obstruction 247, without the ability overcoming the collector obstruction 247.

[0089]

Therefore, in a spin transistor 240, the rate of current transfer (or current amplification factor) changes with sense of relative magnetization of an emitter barrier 243 and the collector obstruction 247. Since the spin filter effectiveness has the very large selectivity of spin, it can enlarge the ratio of the rate of current transfer in [ each ] parallel magnetization and anti-parallel magnetization with this transistor.

[0090]

Moreover, it is possible to shorten base width of face enough in a spin transistor 240. Therefore, unlike the spin transistor using spin dependence dispersion shown in drawing 7 and drawing 8 , the trade-off between the current amplification factors and spin selectivity relevant to base width of face has the advantage of not existing.

[0091]

Drawing 10 is energy band drawing of the spin transistor of a tunnel base transistor mold. As shown in drawing 10 , in the spin transistor 260 of a tunnel base transistor mold, FS of p mold (or n mold) is used for an emitter 261 and a collector 265, and NM semi-conductor of n mold (or p mold) is used for the tunnel base 263.

Between the emitter-bases and between base-collectors, it is desirable to use the heterojunction of Type II with which the base 263 becomes an obstruction to an electron hole (or electron). Moreover, base width of face is made thin to extent which tunnel current produces from an emitter in a collector.

[0092]

In the structure shown in drawing 10 , although tunnel conductance is large since the carrier which has the a large number spin of an emitter can be easily tunneled to a collector 265 in the case where an emitter 261 and a collector 265 have parallel magnetization, in the case where an emitter 261 and a collector 265 have anti-parallel magnetization, tunnel conductance is small by the tunnel magneto-resistive effect (the TMR effectiveness). Therefore, the magnitude of collector current is controllable by the condition of relative magnetization of an emitter 261 and a collector 265.

[0093]

If the large TMR ratio in this spin transistor 260 can be taken, it will become possible to enlarge change of the collector current depending on the magnetization condition between emitter-collectors. In order to demonstrate the TMR effectiveness effectively with a spin transistor 260, when a reverse bias is impressed to base-collector junction, it is desirable to make it a depletion layer not spread in a collector side. However, if a depletion layer spreads in a base side, possibility that a problem will arise in the saturation characteristics of collector current exists.

[0094]

In the above-mentioned transistor 260, when the high concentration dope of the base layer is carried out so that a depletion layer may not spread in a base layer, and it is made for the depletion layer of base-collector junction to spread in a collector side, although the TMR effectiveness in the base is not expectable, the carrier poured into the collector produces resistance by spin dependence dispersion within a collector. If this spin dependence dispersion is used, the magnitude of collector current is changeable with the magnetization condition between emitter-collectors. However, since the resistance change by spin dependence dispersion is small, compared with the case where the TMR effectiveness is used, the effectiveness may not be large.

[0095]

Next, an electrical-potential-difference actuation mold spin transistor group is explained with reference to a drawing.

Drawing 11 is drawing showing the cross-section structure of the spin transistor of an MOS transistor mold. As

shown in drawing 11  $R > 1$ , the spin transistor 300 of an MOS transistor mold has the structure where the gate electrode 311 and \*\* were formed on the NM semi-conductor 301 through the source 303 which consists of FM, the drain 305 which consists of FM, and gate dielectric film 307. The Schottky barrier of FM and NM semi-conductor is used for the source 303 and a drain 305, and other configurations are the same as that of the usual MOS transistor.

[0096]

The spin polarization carrier injected into the channel formed directly under the gate dielectric film 307 in the NM semi-conductor 301 reaches a drain 305 through this channel from the source 303 (hereafter, since it is easy, the effect of the Rashba effectiveness by the gate electric field of the spin injected into the channel is disregarded). Although the spin polarization carrier injected into the drain 305 does not receive spin dependence dispersion when the source 303 and a drain 305 have parallel magnetization, in the case where it has anti-parallel magnetization, resistance by spin dependence dispersion is produced in the drain electrode 305.

[0097]

Therefore, with this transistor 300, conductance changes with sense of the relative magnetization between source-drains.

Moreover, it is also possible by using FS for the source 303 and a drain 305 to form pn junction between semiconductors 301, and to form the source and a drain.

[0098]

Drawing 12 is drawing showing the cross-section structure of the spin transistor of a modulation dope transistor mold. This spin transistor 320 has the structure formed from the source 323 which consists of FM (or FS) to the two-dimensional carrier gas produced in the interface of the 1st NM semi-conductor 321 and the 2nd NM semiconductor 327, the drain 325 which consists of FM (or FS), and the gate electrode 331. Except that the source 323 and a drain 325 consist of ferromagnetics, it is the same as that of the usual modulation dope transistor.

[0099]

A spin polarization carrier is injected into the channel 333 formed by 2-dimensional carrier gas from the source 323. As for the spin polarization carrier which reached the drain 325, a mutual conductance changes with sense of relative magnetization of the source 323 and this drain 325 for spin dependence dispersion with a drain 325.

[0100]

Drawing 13 is the sectional view of the spin transistor of the MOS transistor mold which used FS for the channel field. The spin transistor 340 shown in drawing 13 has the structure where the gate electrode 351 and \*\* were formed on FS341 through the source 343 which consists of FM, the drain 345 which consists of NM (or FM, FS), and gate dielectric film 347. The Schottky barrier of FM and FS is used for the source 343, and other configurations are the same as that of the usual MOS transistor.

[0101]

Tunnel impregnation of the spin polarization carrier is carried out into a channel 341 through the Schottky barrier from the source 343. Spin dependence dispersion in the TMR effectiveness at the time of this tunnel impregnation and the channel of FS341 realizes the mutual conductance depending on the sense of relative magnetization of the source 343 and FS341.

[0102]

The spin transistor 360 which shows cross-section structure to drawing 14 has the tunnel junction structure which put insulating NM tunnel obstruction 365 with the drain 363 which consists of the source 361 which consists of FM (or FS), and FM (or FS), and is a spin transistor which has arranged the gate electrode 371 so that electric field can be impressed to the tunnel obstruction 365.

[0103]

When only the bias between source-drains is impressed, as for the thickness of the tunnel obstruction 365, it is desirable to set it as the thickness which is extent which a Fowler-Nordheim (FN) tunnel does not produce. By changing the triangular potential of the tunnel obstruction band edge produced by impressing bias between source-drains with gate voltage, induction of the FN tunnel is carried out and a drain current is acquired.

[0104]

The spin polarization carrier poured in from the source 361 receives spin dependence dispersion with a drain 363 according to the relative magnetization condition of the source 361 and a drain 363. Therefore, the mutual

conductance of a transistor is controllable by the sense of the relative magnetization between source-drains.  
[0105]

The spin transistor 380 which shows cross-section structure to drawing 15 transposes the tunnel obstruction of the spin transistor 360 shown in drawing 14 to the tunnel obstruction 385 which consists of IFS. A drain 383 may not be a ferromagnetic although the source 381 needs to be FM or FS. In the IFS tunnel barrier layer 385, although obstruction height changes with sense of the spin of a carrier, when the source 381 and the tunnel obstruction 385 have parallel magnetization, bias is added between source-drains and between the source-gates so that a transistor may be in switch-on. Since the tunnel barrier height seen from the a large number spin of the source 381 becomes high when the source 381 and the tunnel obstruction 385 have anti-parallel magnetization under the same bias condition as this, the tunnel probability of a spin polarization carrier decreases and a drain current decreases. Since the spin selectivity by this spin filter effectiveness is very large, if a ferromagnetic with the big rate of spin polarization is used as the source 381, it can enlarge change of the mutual conductance by the sense of the relative magnetization between source-drains.

[0106]

As mentioned above, each explained various spin transistor can be used as a memory cell for store circuits shown in drawing 4 or drawing 6.

Moreover, it is also possible to form the structure which made common the source of the spin transistor of two drawing 11 and the electrical-potential-difference actuation mold shown in 14 and 15 with the one source.

Drawing 16 (A) is drawing showing the example of a configuration of the memory cell which has a common source configuration. Drawing 16 (B) is drawing showing the example of cross-section structure of the memory cell which has a common source configuration.

[0107]

The memory cell structure shown in drawing 16 (A) and (B) The 1st spin transistor Tr1 and 2nd spin transistor Tr2 which adjoin mutually, The WORD wiring WL which makes common connection of the gate electrode G1 of the 1st spin transistor Tr1, and the gate electrode G2 of the 2nd spin transistor Tr2, The 1st bit line BL1 linked to the 1st drain D1 of the 1st spin transistor Tr1, It has the 2nd bit line BL2 linked to the 2nd drain D2 of the 2nd spin transistor, and the ferromagnetism source S common to the 1st and 2nd spin transistors Tr1 and Tr2 and wiring which grounds this. If the above-mentioned structure is used, in order to make the source common, it becomes the cellular structure which was further suitable for densification integration.

[0108]

In order to suppress the leakage current at the time of cutoff especially to the minimum with the spin transistor of drawing 11 and the electrical-potential-difference actuation mold shown in 14 and 15, insulation as shown in drawing 16 (B) is high, for example, it is desirable to use a SOI substrate etc.

[0109]

As mentioned above, as explained, the spin filter transistor and the various spin transistors shown with the gestalt of this operation in addition to this by the gestalt of operation of this invention have the characteristic property that output characteristics are controllable by the sense of relative magnetization of the pin layer and free layer which are contained in a device. Even if this relative magnetization condition does not supply power, it has the property of the so-called non-volatile in which a condition can be held. Therefore, this relative magnetization condition is memorizable to a non-volatile as information on binary. Furthermore, if the above-mentioned output characteristics are used, this relative magnetization condition is also electrically detectable. That is, if a spin transistor is used, a 1-bit non-volatile memory cell can consist of only one spin transistor. Furthermore, if the nonvolatile memory circuit using the spin transistor by the gestalt of this operation is used, the magnitude of the output signal over storage information and the ratio of an output signal can be designed freely. Therefore, if the memory circuit using the spin transistor and it by the gestalt of operation of this invention is used, there is an advantage that the working speed and the degree of integration of a nonvolatile memory circuit can be raised.

[0110]

As mentioned above, although this invention was explained in accordance with the gestalt of operation, this invention is not restricted to these. In addition, probably, it will be obvious to this contractor for various modification, amelioration, and combination to be possible.

[0111]

**[Effect of the Invention]**

As mentioned above, according to the spin filter transistor of this invention, output characteristics can be changed a lot with the sense of the relative magnetization between ferromagnetic barrier layers. Moreover, the nonvolatile memory circuit which used for the memory cell other spin transistors which have a property equivalent to this spin filter and this can detect the sense of this relative magnetization electrically while being able to memorize the information on binary with the sense of the relative magnetization between the ferromagnetics contained in a transistor. Furthermore, if the nonvolatile memory circuit of this invention is used, the output signal over storage information can be designed freely. Therefore, if the above-mentioned transistor is used, it will become realizable [ the non-volatile store circuit of the high speed which constitutes a 1-bit non-volatile memory cell only from one transistor, and a high accumulation consistency ].

**[Brief Description of the Drawings]**

[Drawing 1] Drawing 1 (A) is a typical sectional view, and it is drawing showing the configuration of the spin filter transistor by the gestalt of this operation, and it is [ drawing 1 (B) is energy band drawing of the conduction band (or valence-electron band) of a configuration of being shown in drawing 1 (A), and ] drawing having shown the sense of the spin of the spin band in a barrier layer collectively.

[Drawing 2] The emitter of the transistor by the gestalt of this operation (1st nonmagnetic electrode layer), It is energy band drawing at the time of applying grounded-base bias voltage between the base (2nd nonmagnetic electrode layer) and a collector (3rd nonmagnetic electrode layer). drawing 2 (A) -- case the sense of magnetization of the 1st and 2nd ferromagnetic barrier layers is mutually parallel -- drawing 2 (B) -- the sense of magnetization of the 1st and 2nd ferromagnetic barrier layers -- mutual -- anti- -- it is a case [ \*\*\*\* ].

[Drawing 3] It is drawing showing the static characteristic in the grounded base of the spin filter transistor by the gestalt of this operation. An axis of abscissa shows the collector-base electrical potential difference VCB rightward [ drawing top ], and shows the emitter-base electrical potential difference VEB leftward, and the axis of ordinate shows emitter current IE, base current IB, and collector current IC. Drawing 3 (B) shows the property in anti-parallel magnetization for the property in case the magnetization condition of drawing 3 (A) between the ferromagnetic barrier layers of an emitter and a collector is parallel magnetization.

[Drawing 4] Drawing 4 (A) is drawing showing the example of 1 configuration of the memory cell using the spin filter transistor 1 by the gestalt of this operation. Drawing 4 (B) is drawing showing the example of 1 configuration of a memory circuit. The axis of ordinate of drawing 4 (C) expresses collector current IC, an axis of abscissa expresses collector-to-emitter-voltage VCE, and the load straight line by load resistance is indicated to be the IC-VCE property of the spin filter transistor 150 on the same drawing.

[Drawing 5] Drawing 5 (A) is drawing showing typically the example of the output characteristics of a current actuation mold spin transistor, and drawing 5 (B) is drawing showing typically the example of the output characteristics of an electrical-potential-difference actuation mold spin transistor.

[Drawing 6] Drawing 6 (A) is drawing showing the example of 1 configuration of the memory cell using the electrical-potential-difference actuation mold spin transistor by the gestalt of this operation. Drawing 6 (B) is drawing showing the example of 1 configuration of a memory circuit. The axis of ordinate of drawing 6 (C) expresses the drain current ID, an axis of abscissa expresses the electrical potential difference VDS between the drain-sources, and the ID-VDS property of the electrical-potential-difference actuation mold spin transistor 1 and the load curve by the active load are shown on the same drawing.

[Drawing 7] It is energy band drawing showing the example of a configuration of the spin transistor of a hot electron transistor mold.

[Drawing 8] It is energy band drawing showing the example of a configuration of the spin transistor of the hot electron transistor mold using heat-dissipation impregnation.

[Drawing 9] It is energy band drawing showing the example of a configuration of the spin transistor of the hot electron transistor mold using the spin filter effectiveness.

[Drawing 10] It is energy band drawing showing the example of a configuration of the spin transistor of a tunnel base transistor mold.

[Drawing 11] It is cross-section structural drawing showing the example of a configuration of the spin transistor of an MOS transistor mold.

[Drawing 12] It is cross-section structural drawing showing the example of structure of the spin transistor of a modulation dope transistor mold.

[Drawing 13] It is cross-section structural drawing showing the example of a configuration of the spin transistor of the MOS transistor mold which has a ferromagnetic semi-conductor channel.

[Drawing 14] It is cross-section structural drawing showing the example of a configuration of the spin transistor which has the configuration which prepared gate dielectric film and a gate electrode to the nonmagnetic insulation tunnel obstruction established between the ferromagnetic source and a ferromagnetic drain.

[Drawing 15] It is cross-section structural drawing showing the example of a configuration of the spin transistor which has the configuration which prepared gate dielectric film and a gate electrode to the insulating ferromagnetism tunnel obstruction established between the ferromagnetic source and a ferromagnetic drain.

[Drawing 16] Drawing 16 (A) is drawing showing the example of a configuration of the memory cell which has a common source configuration. Drawing 16 (B) is drawing showing the example of cross-section structure of the memory cell which has a common source configuration.

[Drawing 17] Drawing 17 (A) is drawing showing the configuration of general MRAM which used MTJ, and drawing 1717 (B) is drawing showing the principle of operation of MTJ.

[Description of Notations]

- 1 Spin Filter Transistor
- 2 1st Ferromagnetic Barrier Layer
- 3 1st Nonmagnetic Electrode Layer
- 4 2nd Nonmagnetic Electrode Layer
- 5 Spin Injector
- 6 2nd Ferromagnetic Barrier Layer
- 7 3rd Nonmagnetic Electrode Layer
- 8 Spin Analyzer
- 9 Rise Spin Band Edge
- 10 Down Spin Band Edge
- 11 Bottom of Fermi Energy and Conductor, Summit of Valence Band
- 21 Emitter
- 22 Base
- 23 Collector
- 24 Rise Spin
- 25 Down Spin
- 26 Spin Polarization Hot Electron (Rise Spin)
- 27 Spin Polarization Hot Electron (Down Spin)
- 41 Nonvolatile Memory
- 42 Word Line
- 43 Bit Line
- 44 Load Resistance
- 45 Power Source
- 46 Load Line
- 150 Spin Transistor
- 157 Output Terminal
- 160 Active Load
- 170 Load Curve

---

[Translation done.]

## \* NOTICES \*

JPO and NCIP are not responsible for any  
damages caused by the use of this translation.

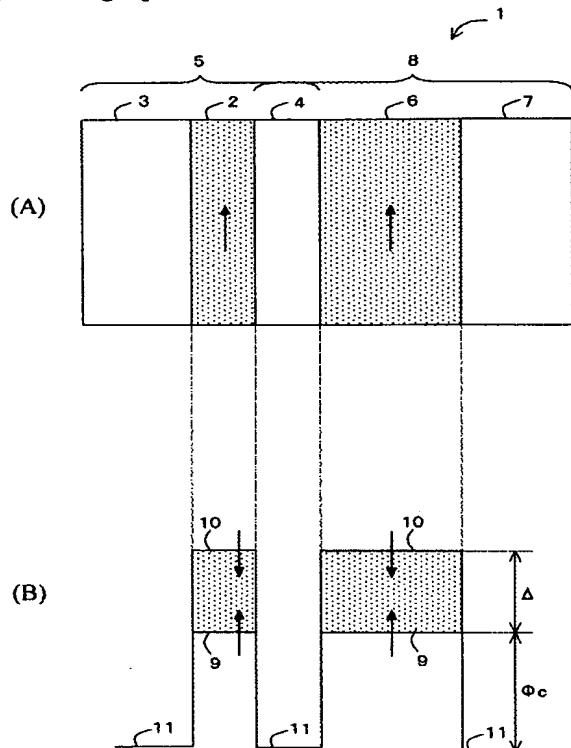
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

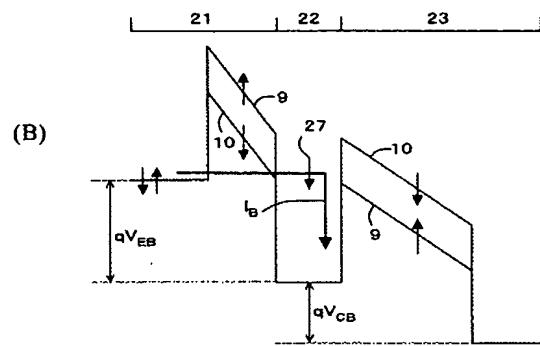
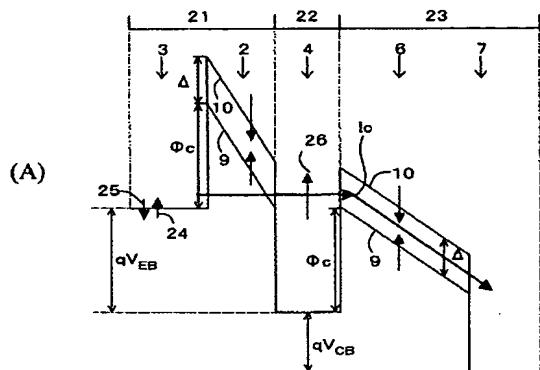
DRAWINGS

---

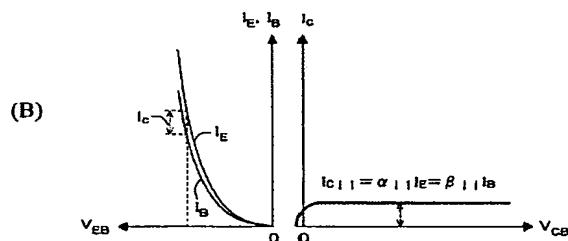
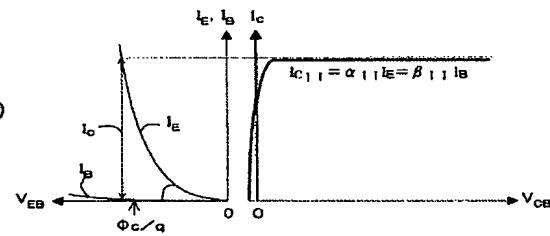
## [Drawing 1]



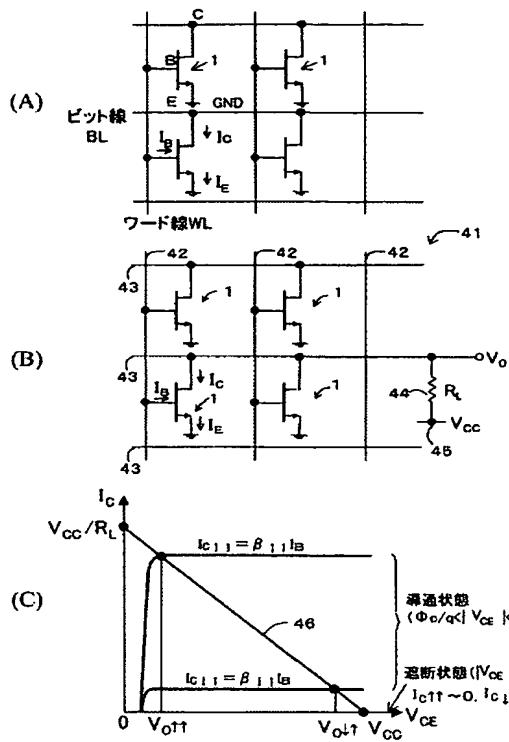
## [Drawing 2]



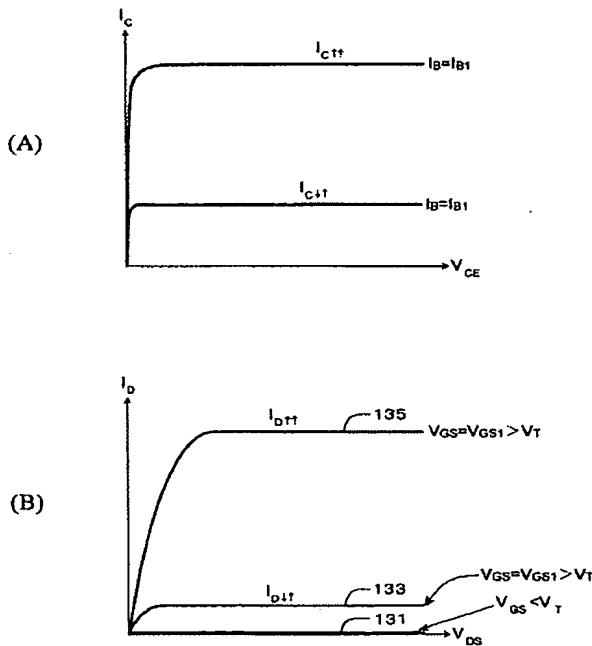
[Drawing 3]



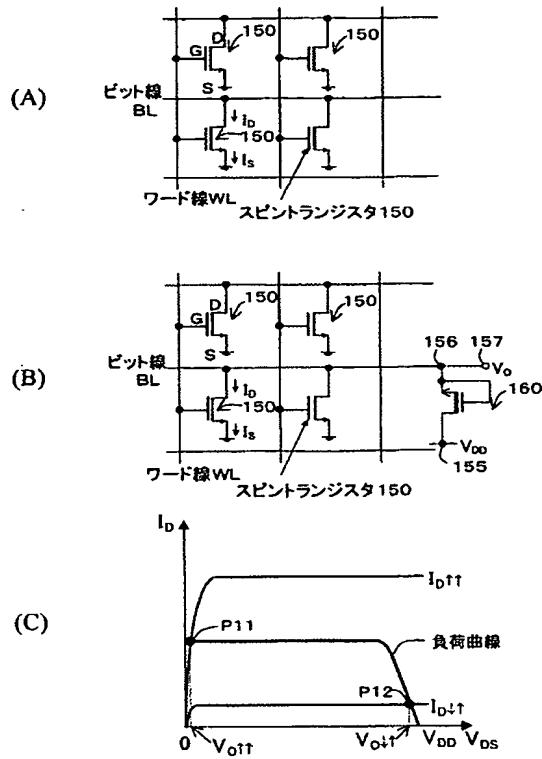
[Drawing 4]



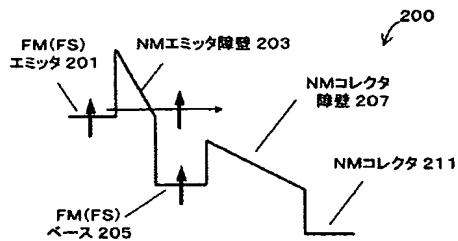
[Drawing 5]



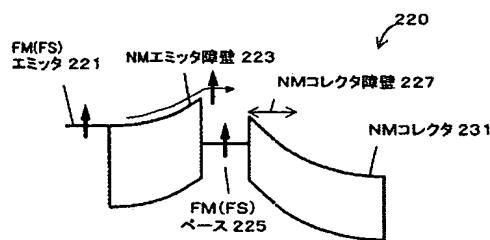
[Drawing 6]



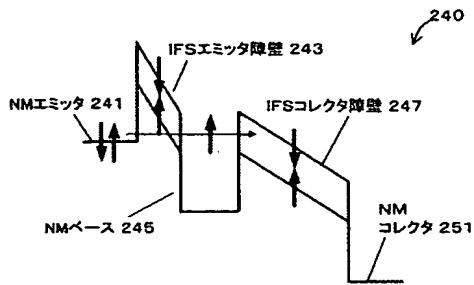
[Drawing 7]



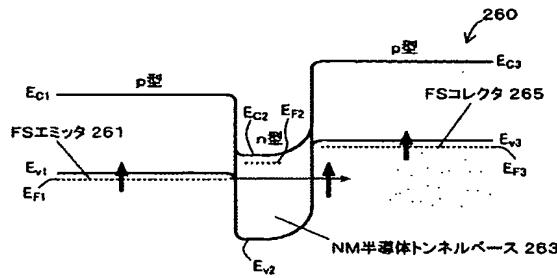
[Drawing 8]



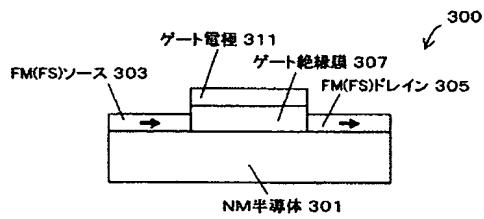
[Drawing 9]



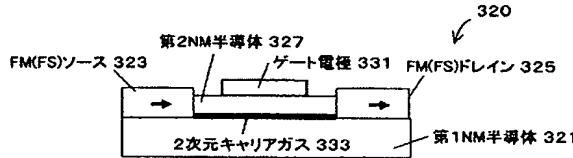
[Drawing 10]



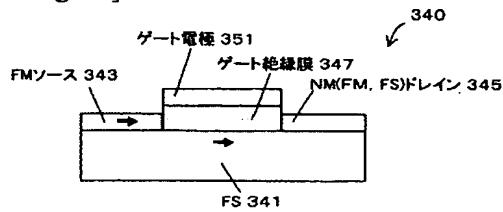
[Drawing 11]



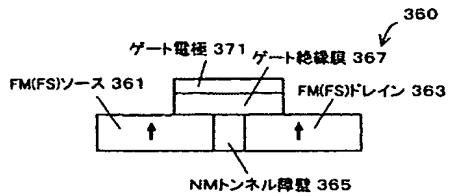
[Drawing 12]



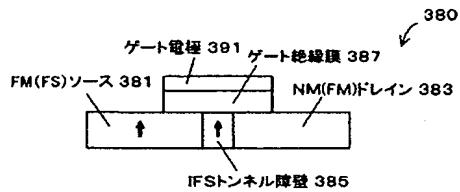
[Drawing 13]



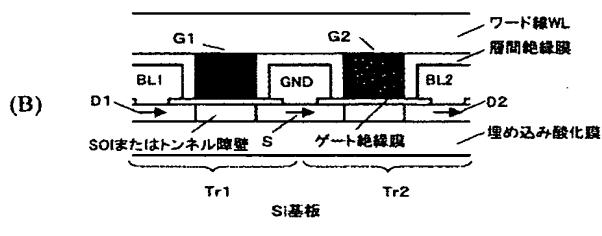
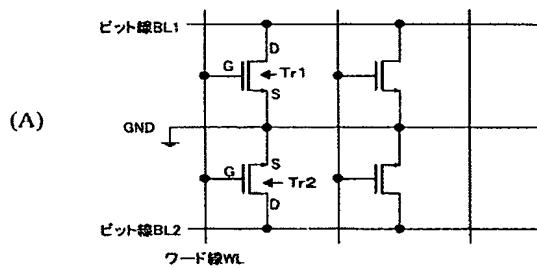
[Drawing 14]



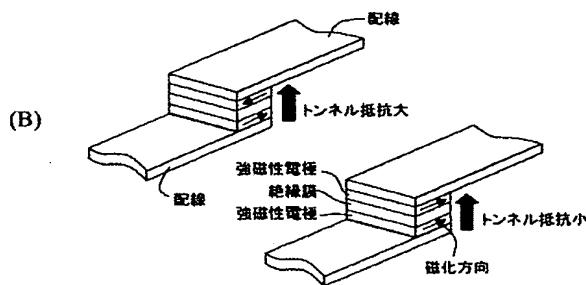
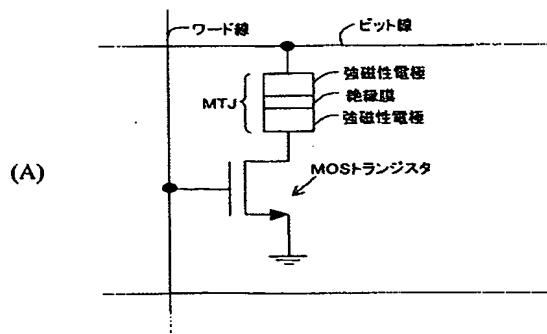
[Drawing 15]



[Drawing 16]



[Drawing 17]



---

[Translation done.]

(19)日本国特許庁(JP)

## (12)公開特許公報(A)

(11)特許出願公開番号

特開2004-111904  
(P2004-111904A)

(43)公開日 平成16年4月8日(2004.4.8)

(51)Int.Cl.<sup>7</sup>H01L 29/82  
G11C 11/15  
H01L 27/105  
H01L 43/08

F 1

H01L 29/82  
G11C 11/15  
H01L 43/08  
H01L 27/10テーマコード(参考)  
5F083

審査請求 未請求 請求項の数 32 O.L (全 27 頁)

(21)出願番号 特願2003-86145 (P2003-86145)  
 (22)出願日 平成15年3月26日 (2003.3.26)  
 (31)優先権主張番号 特願2002-217336 (P2002-217336)  
 (32)優先日 平成14年7月25日 (2002.7.25)  
 (33)優先権主張国 日本国 (JP)

(71)出願人 396020800  
科学技術振興事業団  
埼玉県川口市本町4丁目1番8号  
 (74)代理人 100091096  
弁理士 平木 祐輔  
 (74)代理人 100102576  
弁理士 渡辺 敏章  
 (74)代理人 100108394  
弁理士 今村 健一  
 (72)発明者 菅原 聰  
神奈川県横浜市中区本牧原21-1-60  
3  
 (72)発明者 田中 雅明  
埼玉県さいたま市井沼方647-6-20  
1  
 Fターム(参考) 5F083 FZ10

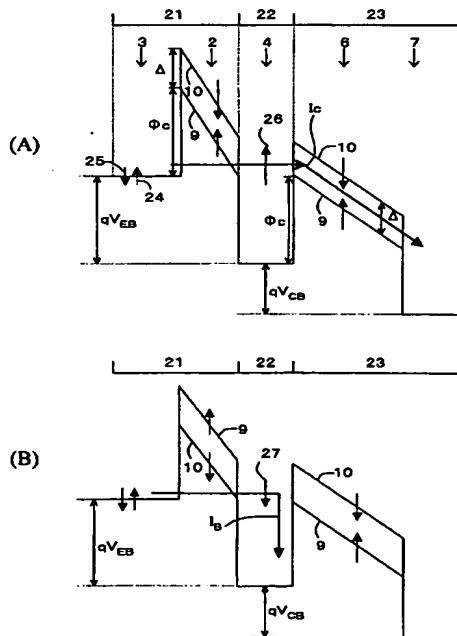
(54)【発明の名称】スピントランジスタ及びそれを用いた不揮発性メモリ

## (57)【要約】(修正有)

【課題】トランジスタ内に含まれるピニ層とフリー層の相対的な磁化の向きによって出力特性を大きく変化させることができるトランジスタと、これを用いた不揮発性メモリを提供する。

【解決手段】第1及び第2の強磁性障壁層2、6の磁化の向きが互いに平行な場合、アップスピンを有するスピニ偏極ホットエレクトロン26がベース22に注入される。第1及び第2の強磁性障壁層2、6の磁化方向が互いに反平行な場合、ベース22にはダウンスピンを有するスピニ偏極ホットエレクトロン27が注入されるが、第2の強磁性障壁層6のダウンスピンドル端10はスピニ偏極ホットエレクトロン27のエネルギーよりも高い。このため、スピニ偏極ホットエレクトロン27は、第2の強磁性障壁層6の伝導帯を伝導できず、ベース22とコレクタ28との界面においてスピニ俠存散乱又は反射を受けてエネルギーを失う。

【選択図】図2



## 【特許請求の範囲】

## 【請求項 1】

スピニルタ効果によってスピニルしたホットキャリアを注入するスピニンジェクタと、この注入されたスピニルホットキャリアをスピニルタ効果によって選別するスピニアライザと、を有することを特徴とするトランジスタ。

## 【請求項 2】

前記スピニンジェクタは、両端に電圧を印加することによりキャリアのトンネルが可能な第1の強磁性障壁層と、該第1の強磁性障壁層の一端面に接合した第1の非磁性電極層と、前記第1の強磁性障壁層の他端面に接合した第2の非磁性電極層とを有することを特徴とする請求項1に記載のトランジスタ。 10

## 【請求項 3】

前記スピニアライザは、

第2の強磁性障壁層と、この第2の強磁性障壁層の一端面に接合した前記第2の非磁性電極層と、上記第2の強磁性障壁層の他端面に接合した第3の非磁性電極層とを有しており、かつ、前記スピニンジェクタと前記第2の非磁性電極層を共通にしていることを特徴とする請求項1又は2に記載のトランジスタ。

## 【請求項 4】

前記第1及び第2の強磁性障壁層は、強磁性半導体又は強磁性絶縁体を含んでいることを特徴とする請求項2または3に記載のトランジスタ。

## 【請求項 5】

前記第2の非磁性電極層の厚さは、該第2の非磁性電極層におけるスピニルホットキャリアの平均自由行程以下の厚さであることを特徴とする、請求項1から4までのいずれか1項に記載のトランジスタ。 20

## 【請求項 6】

前記スピニンジェクタのスピニルタ効果は、前記第1の非磁性電極層と前記第2の非磁性電極層とに電圧を印加して生じさせる前記第1の強磁性障壁層におけるキャリアのトンネル効果において、上記第1の非磁性電極層に存在するキャリアのうち、上記第1の強磁性障壁層のバンド端におけるスピニンバンドと平行なスピニンの向きを有するキャリアのトンネル確率が大きく、反平行となるスピニンの向きを有するキャリアのトンネル確率が小さいことを利用したことを特徴とする、請求項1から5までのいずれか1項に記載のトランジスタ。 30

## 【請求項 7】

前記スピニアライザのスピニルタ効果は、前記スピニンジェクタから注入されたスピニルホットキャリアのスピニンの向きと前記第2の強磁性障壁層のバンド端におけるスピニンバンドのスピニンの向きが平行の場合には、前記スピニルホットキャリアが前記第2の強磁性障壁層のバンド端におけるスピニンバンドを伝導し前記第3の非磁性電極層へ達するが、前記スピニルホットキャリアのスピニンの向きと前記第2の強磁性障壁層のバンド端のスピニンバンドのスピニンの向きが反平行の場合には、前記スピニルホットキャリアが前記第3の非磁性電極層へ達することができないことを利用したことを特徴とする、請求項1から6までのいずれか1項に記載のトランジスタ。 40

## 【請求項 8】

前記第1の非磁性電極層と前記第2の非磁性電極層との間に第1の電源により第1の電圧を印加し、前記第2の非磁性電極層と前記第3の非磁性電極層との間、または、前記第1の非磁性電極層と前記第3の非磁性電極層との間に第2の電源により第2の電圧を印加し、前記第1の強磁性障壁層と前記第2の強磁性障壁層の相対的な磁化の向きに応じて、前記第1の非磁性電極層から前記第2の非磁性電極層に注入されたスピニルホットキャリアを、前記第2の強磁性障壁層と前記第2の電源を介して流れる電流に、または、前記第2の非磁性電極層と前記第1の電源を介して流れる電流に切り替えることを特徴とする、請求項1から7までのいずれか1項に記載のトランジスタ。

## 【請求項 9】

10

20

30

40

50

前記第1の電圧は、注入されたスピニン偏極ホットキャリアのエネルギーが、前記第2の強磁性障壁層のバンド端におけるスピニンバンド端エネルギーより大きく、このスピニンバンド端のエネルギーにスピニン分裂幅を加えたエネルギーよりも小さくなるように印加することを特徴とする請求項8に記載のトランジスタ。

【請求項10】

磁場を印加することによって、上記第1の強磁性障壁層と上記第2の強磁性障壁層の内のいずれか一方の磁化の向きを反転させることができることを特徴とする請求項9に記載のトランジスタ。

【請求項11】

請求項1から10までのいずれか1項に記載のトランジスタをメモリセルとしたことを特徴とする記憶回路。 10

【請求項12】

前記トランジスタの第2の非磁性電極層をワード線に接続し、前記トランジスタの第3の非磁性電極層をピット線に接続し、該ピット線を負荷を介して電源に接続し、前記トランジスタの第1の非磁性電極層を接地したことを特徴とする請求項11に記載の記憶回路。

【請求項13】

強磁性体を内部に含み、キャリアのスピニンの向きに依存する出力特性を有するトランジスタ（以下、「スピントランジスタ」と称する。）と、

前記強磁性体の磁化の状態を変えることにより前記スピントランジスタ内に情報の書き換えを行う情報書き換え手段と、 20

前記出力特性から前記スピントランジスタ内に磁化の状態として記憶された情報を読み出す情報読み出し手段と

を有することを特徴とする記憶素子。

【請求項14】

前記スピントランジスタは、

磁化の方向を独立に制御できる強磁性体（以下「フリー層」と称する。）と、磁化の方向を変化させない強磁性体（以下、「ピン層」と称する。）と、を少なくとも1つずつ有しており、

前記フリー層と前記ピン層とが同じ磁化の向きを持つ第1の状態と、異なる磁化の向きを持つ第2の状態と、の2つの記憶状態のうちいずれか一方を保持することを特徴とする請求項13に記載の記憶素子。 30

【請求項15】

請求項14に記載の1つのスピントランジスタを用いて、前記ピン層に対する前記フリー層の相対的な磁化の向きによって情報を記憶し、前記ピン層と前記フリー層との相対的な磁化の向きに依存する前記スピントランジスタの出力特性に基づいて前記トランジスタ内に記憶された情報を検出することを特徴とする記憶素子。

【請求項16】

前記スピントランジスタは、

スピニン偏極キャリアを注入する第1の電極構造及び前記スピニン偏極キャリアを受け入れる第2の電極構造と、前記第1の電極構造から前記第2の電極構造へ伝導するスピニン偏極キャリアの量を制御する第3の電極構造とを備えており、前記ピン層と前記フリー層とは前記第1から第3までの電極構造のいずれかに含まれていることを特徴とする請求項14又は15に記載の記憶素子。 40

【請求項17】

請求項16に記載の1つのスピントランジスタと、

前記第1の電極構造を接地する第1の配線と、

前記第2の電極構造と接続する第2の配線と、

前記第3の電極構造と接続する第3の配線と

を有する記憶素子。

【請求項18】

10

20

30

40

50

請求項 1 6 に記載の 1 つのスピントランジスタと、  
 前記第 1 の電極構造を接地する第 1 の配線と、  
 前記第 2 の電極構造と接続する第 2 の配線と、  
 前記第 3 の電極構造と接続する第 3 の配線と、  
 前記第 2 の配線の一端に形成される出力端子と、  
 前記第 2 の配線から分岐し負荷を介して電源と接続する第 4 の配線と  
 を有する記憶素子。

## 【請求項 19】

さらに、前記スピントランジスタ上で互いに電気的に絶縁された状態で交差する第 1 の別配線及び第 2 の別配線とを有することを特徴とする請求項 17 又は 18 に記載の記憶素子

10

## 【請求項 20】

前記第 1 の別配線および前記第 2 の別配線、又は、前記第 1 の別配線又は前記第 2 の別配線のいずれか一方に代えて、前記第 2 の配線および前記第 3 の配線、又は、前記第 2 の配線又は前記第 3 の配線のいずれか一方を用いることを特徴とする請求項 19 に記載の記憶素子。

## 【請求項 21】

前記第 1 の別配線及び第 2 の別配線または前記第 2 の配線及び前記第 3 の配線に電流を流すことにより誘起される磁場により、前記フリー層の磁化を反転させ、前記ピン層と前記フリー層との間の相対的な磁化状態を変化させることにより情報の書き換えを行うことを特徴とする請求項 19 又は 20 に記載の記憶素子。

20

## 【請求項 22】

前記第 3 の配線に対して第 1 のバイアスを加え、前記第 1 の配線と第 2 の配線との間に第 2 のバイアスを加えた場合の前記スピントランジスタの出力特性に基づき情報の読み出しを行うことを特徴とする請求項 17 又は 18 に記載の記憶素子。

## 【請求項 23】

前記第 3 の配線に対して第 1 のバイアスを印加した場合において、前記電源と前記第 1 の配線との間に生じる前記負荷と前記スピントランジスタを介する電流による前記負荷の電圧降下に基づいて得られる出力電圧により、情報の読み出しを行うことを特徴とする請求項 18 から 22 までのいずれか 1 項に記載の記憶素子。

30

## 【請求項 24】

マトリックス状に配置された請求項 1 6 に記載の 1 つのスピントランジスタと、  
 前記第 1 の電極構造をそれぞれ接地する第 1 の配線と、  
 列方向に並ぶ前記スピントランジスタの前記第 3 の電極構造を共通に接続する複数本のワード線と、  
 行方向に並ぶ前記スピントランジスタの前記第 2 の電極構造を共通に接続する複数本のピット線と  
 を有する記憶回路。

## 【請求項 25】

マトリックス状に配置された請求項 1 6 に記載のスピントランジスタと、  
 前記第 1 の電極構造をそれぞれ接地する第 1 の配線と、  
 列方向に並ぶ前記スピントランジスタの前記第 3 の電極構造を共通に接続する複数本のワード線と、  
 行方向に並ぶ前記スピントランジスタの前記第 2 の電極構造を共通に接続する複数本のピット線と、  
 該ピット線の一端にそれぞれ形成される出力端子と、  
 該ピット線からそれぞれ分岐し負荷を介して電源に接続する第 2 の配線と  
 を有する記憶回路。

40

## 【請求項 26】

さらに、前記トランジスタ上で互いに電気的に絶縁された状態で交差する第 1 の別配線及

50

び第2の別配線とを有することを特徴とする請求項24又は25に記載の記憶回路。

【請求項27】

前記第1の別配線および前記第2の別配線、又は、前記第1の別配線又は前記第2の別配線のいずれか一方に代えて、前記ワード線および前記ピット線、又は、前記ワード線又は前記ピット線のいずれか一方を用いることを特徴とする請求項26に記載の記憶回路。

【請求項28】

前記第1の別配線及び第2の別配線又は前記ワード線及び前記ピット線に電流を流すことにより誘起される磁場により、前記フリー層の磁化を反転させ、前記フリー層と前記ピン層との間の相対的な磁化状態を変化させることにより情報の書き換えを行うことを特徴とする請求項26又は27に記載の記憶回路。

10

【請求項29】

前記ワード線に対して第1のバイアスを加え、前記第1の配線と前記ピット線との間に第2のバイアスを加えた場合の前記スピントランジスタの出力特性に基づき情報の読み出しを行うことを特徴とする請求項24又は25に記載の記憶回路。

【請求項30】

前記ワード線に対して第1のバイアスを印加した場合において、前記電源と前記第1の配線との間に生じる前記負荷と前記スピントランジスタを介する電流による前記負荷の電圧降下に基づいて得られる出力電圧により、情報の読み出しを行うことを特徴とする請求項25から27までのいずれか1項に記載の記憶回路。

20

【請求項31】

請求項16に記載の第1及び第2の2つのスピントランジスタと、

前記第1及び前記第2のスピントランジスタに共通の第1の電極構造を接地する第1の配線と、

前記第1のスピントランジスタが有する第2の電極構造と前記第2のスピントランジスタが有する第2の電極構造とをそれぞれ接続する第2及び第3の配線と、

前記第1のスピントランジスタが有する第3の電極構造と前記第2のスピントランジスタが有する第3の電極構造とを接続する第4の配線と

を有する記憶素子。

【請求項32】

マトリックス状に配置される請求項16に記載の複数のスピントランジスタと、

30

複数の該スピントランジスタのうち、行方向に複数配置される第1のスピントランジスタの行と、該第1のスピントランジスタの行と列方向に隣接し行方向に複数配置される第2のスピントランジスタの行と、が有するそれぞれの前記第1の電極構造を共通にするとともに接地する第1の配線と、

複数の前記スピントランジスタのうち、行方向に複数配置される第1のスピントランジスタの行が有する前記第2の電極構造を共通に接続する第2の配線と、前記第1のスピントランジスタの行と列方向に隣接する第2のスピントランジスタの行が有する前記第2の電極構造を共通に接続する第3の配線と、

40

複数の前記スピントランジスタのうち、列方向に複数配置されるスピントランジスタの列が有する第3の電極構造を共通に接続する第4の配線と

を有する記憶回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、新規なトランジスタに関し、より詳細にはキャリアのスピンの向きに依存する出力特性を有するトランジスタ及びそれを用いた不揮発性記憶回路（不揮発性メモリ）に関する。

【0002】

【従来の技術】

従来、マイクロコンピュータに代表される電子機器に使用する半導体メモリとして、動作 50

速度および集積度の観点からDRAM (Dynamic Random Access Memory) が主に用いられてきた。しかし、DRAMでは、記憶保持のためにエネルギーが消費されること、および電源を切った場合に記憶内容が失われるなどの問題点から、近年の省エネルギー化の要求やモバイル機器への対応は難しい。このような要求に応じるために、高速・高集積度・低消費電力といった特徴に加え、新たに不揮発性といった特徴を合わせ持つ新規なメモリが必須となる。

#### 【0008】

MRAM (Magnetoresistive Random Access Memory) は、DRAMと同等の動作速度、集積度を実現するのみならず、不揮発性といった特徴を有する次世代メモリとして注目を集めている。MRAMでは、強磁性体の磁化の向きによって情報を記憶し、この磁化の向きによる情報をスピンドルア素子における巨大磁気抵抗効果又は強磁性トンネル接合 (MTJ: Magnetic Tunnel Junction) におけるトンネル磁気抵抗 (TMR: Tunneling Magnetoresistance) 効果などにより電気的に読み出す。MRAMでは強磁性体を用いているためにエネルギーを消費することなく不揮発性に情報を保持することができる。

10

#### 【0004】

図17は、MTJを用いたMRAMの代表的なセル構成を示す図である。図17 (A) に示すように、MRAMは、1つのMTJと1つのMOS (Metal Oxide Semiconductor) トランジスタにより1ビットのメモリセルが構成されている。MOSトランジスタのゲートを読み出し用ワード線に接続し、ソースを接地し、ドレインをMTJの一端に接続し、MTJの他端をビット線に接続している。

20

#### 【0005】

図17 (B) に示すように、MTJは、薄い絶縁膜を2つの強磁性電極で挟み込んだトンネル接合構造を有しており、2つの強磁性電極間の相対的な磁化の向きによってトンネル抵抗が異なるTMR効果を有する。特に、2つの強磁性電極間が平行磁化を持つ場合と、反平行磁化を持つ場合とのTMRの変化率をTMR比と呼び、TMR効果の評価に用いる。

30

#### 【0006】

MRAMではMTJの磁化状態、すなわち、2つの強磁性電極間の相対的な磁化の向きを、ビット線とこれに直交する書き換え用ワード線 (図示せず) のそれぞれに流す電流により誘起される磁場の合成磁場によって平行磁化又は反平行磁化とすることによって情報を記憶する。

#### 【0007】

特定のセル内に記憶された記憶情報を読み出す場合には、セルに接続される特定の読み出し用ワード線に電圧を印加してMOSトランジスタを導通させ、セルに接続される特定のビット線からMTJに読み出し用の電流 (以下、「駆動電流」と称する) を流し、TMR効果に基づくMTJの電圧降下を出力電圧として検出することにより記憶された情報を読み出す。

#### 【0008】

##### 【発明が解決しようとする課題】

40

MTJを用いたMRAMは、強磁性体を用いていることから不揮発、低消費電力、高速といった特徴を有し、さらに、セル構造が簡単であることから高密度集積化に適している。MRAMは次世代不揮発性メモリとして期待されているが、これを実現するためには以下のような解決しなければならない課題がある。

(1) MTJでは平行磁化、反平行磁化の磁化状態に対応して2値の抵抗値を取る。MRAMでは、MTJに駆動電流を流して出力電圧としてこの抵抗値を検出する。従って、高い出力電圧を得るためににはMTJの絶縁膜の厚さを調節しトンネル抵抗を最適化する必要がある。但し、TMR比も絶縁膜の厚さに依存するため、トンネル抵抗の最適化に関して制限が加わる。

(2) さらに、正確に情報の記憶内容を読み出すためには、TMR比を大きく取り、平行

50

磁化と反平行磁化の2つの磁化状態間ににおける出力電圧の比を大きくする必要がある。高いTMR比を実現するためには、スピン分極率の大きな強磁性体を用い、絶縁層の形成方法、材料、膜厚等の最適化が必要である。

(3) MTJを用いたMRAMでは、動作速度を上げるために、MTJに加えるバイアスを大きくする必要がある。しかし、MTJには、強磁性電極間に生じる電圧降下が大きくなるとTMR比が減少するという原理的に避けられない問題がある。すなわち、TMRによる出力電圧の変化率はMTJに生じる電圧降下が大きくなるにしたがって小さくなる。この現象は、TMR効果そのものに基因しており、TMR効果のみによって磁化の状態を読み出す限り避けるのは難しい。

#### 【0009】

10

以上の課題から、MTJでは高感度に記憶された情報を検出するために、MTJのインピーダンス（接合抵抗）を調節して出力電圧の大きさを最適化する必要がある。さらに、TMR比を大きく取り、平行磁化と反平行磁化の2つの磁化状態間ににおける出力信号の比を大きくする必要がある。また、バイアスによってTMR比が減少しないようにTMR比の耐バイアスが必要となる。

従って、記憶素子の特性に関係なく、出力信号を記憶素子以外の周辺回路によって自由に設計することができれば、上記課題はすべて解決することができる。

#### 【0010】

20

本発明は、トランジスタ内に含まれる強磁性体に磁化状態によって情報を記憶し、キャリアのスピンの向きに依存するトランジスタの出力特性を用いて情報を読み出す不揮発性メモリを提供することを目的とする。

#### 【0011】

##### 【課題を解決するための手段】

本発明の一観点によれば、スピンフィルタ効果によってスピン偏極ホットキャリアを注入するスピンインジェクタと、この注入された前記スピン偏極ホットキャリアをスピンフィルタ効果によって選別するスピンアナライザと、を有することを特徴とするトランジスタが提供される。従って、スピン偏極ホットキャリアのスピンの向きによりトランジスタの出力特性を制御することができる。

#### 【0012】

30

前記スピンインジェクタは、第1の強磁性障壁層と、この第1の強磁性障壁層の一端面に接合した第1の非磁性電極層と、上記第1の強磁性障壁層の他端面に接合した第2の非磁性電極層とを有することが好ましい。

#### 【0013】

前記スピンアナライザは、第2の強磁性障壁層と、この第2の強磁性障壁層の一端面に接合した前記第2の非磁性電極層と、上記第2の強磁性障壁層の他端面に接合した第3の非磁性電極層とを有しており、かつ、前記スピンインジェクタと前記第2の非磁性電極層を共通にしていることが好ましい。

#### 【0014】

40

第1及び第2の強磁性障壁層は、絶縁性の強磁性半導体又は強磁性絶縁体を含んで構成され、これら強磁性障壁層のエネルギー・バンド端はスピン分裂によってアップ・スピンドバンドまたはダウン・スピンドバンドのいずれか一方によって構成されることが好ましい。前記第2の非磁性電極層の厚さは、該第2の非磁性電極層におけるスピン偏極ホットキャリアの平均自由行程以下の厚さであることが好ましい。

#### 【0015】

前記スピンインジェクタは、前記第1の強磁性障壁層のバンド端を構成するスピンドバンドと平行なスピンドを有するキャリアに対して、トンネル確率が大きく、反平行のスピンドを有するキャリアに対してトンネル確率が小さい。従って、前記第1の非磁性電極から前記第1の強磁性障壁層のバンド端を構成するスピンドバンドと平行なスピンドを有するキャリアを前記第2の非磁性電極層へホットキャリアとして注入することができる。

#### 【0016】

50

一方、前記スピニアライザは、前記第2の強磁性障壁層のバンド端におけるスピニ分裂によって、前記第2の非磁性電極に注入された前記スピニ偏極ホットキャリアのスピニの向きと前記第2の強磁性障壁層のバンド端におけるスピニバンドのスピニの向きとが平行の場合に、前記スピニ偏極ホットキャリアを前記第3の非磁性電極層に伝導させるが、前記スピニ偏極ホットキャリアと前記第2の強磁性障壁層のバンド端におけるスピニバンドのスピニの向きが反平行の場合には、前記スピニ偏極ホットキャリアを前記第3の強磁性電極に伝導させない。

## 【0017】

従って、同一のバイアス下にあっても前記トランジスタの出力特性は前記第1の強磁性障壁層と前記第2の強磁性障壁層の相対的な磁化の向きに依存し、第1の強磁性障壁層と第2の強磁性障壁層が平行磁化を持つ場合には電流伝送率または電流増幅率が大きく、反平行磁化の場合では電流伝送率または電流増幅率は小さい。

10

## 【0018】

また、前記第1の強磁性障壁層に対する前記第2の強磁性障壁層の相対的な磁化の向きによって情報記憶し、この磁化状態に依存する上記トランジスタの前記出力特性によって情報読み出す不揮発性記録回路が提供される。この記憶回路では上記トランジスタ単体でメモリセルを構成することができる。

## 【0019】

本発明の他の観点によれば、強磁性体を含み、キャリアのスピニの向きに依存する出力特性を有するスピントランジスタを用いて、前記強磁性体の磁化方向によって情報を記憶する手段と、前記出力特性から前記スピントランジスタ内に記憶された情報を電気的に読み出す手段とを有することを特徴とする不揮発性記憶回路が提供される。

20

## 【0020】

前記スピントランジスタは、磁化の向きを独立に制御できる強磁性体（以下、「フリー層」と称する）、磁化の向きを変化させない強磁性体（以下、「ピン層」と称する）を少なくとも1つずつ有しており、前記フリー層の磁化の向きと前記ピン層の磁化の向きとが同じである第1の状態と、磁化の向きが異なる第2の状態とを記憶情報として保持することが好ましい。

## 【0021】

前記スピントランジスタは、スピニ偏極キャリアを注入する第1の電極構造及び前記スピニ偏極キャリアを受け入れる第2の電極構造と、前記第1の電極構造から前記第2の電極構造へ伝導するスピニ偏極キャリアの量を制御する第3の電極構造とを備えており、前記ピン層と前記フリー層とは前記第1から第3までの電極構造のいずれかに含まれていることが好ましい。

30

## 【0022】

マトリックス状に配置された上記スピントランジスタと、前記第3の電極構造に接続されるワード線と、前記第1の電極構造を接続する第1の配線と、前記第2の電極構造に接続されるピット線とを有する記憶回路が提供される。複数本のワード線が列方向に延在し、これと交差する方向（行方向）に複数本のピット線が延在する。ワード線とピット線との交点の近傍に上記スピントランジスタが配置される。

40

## 【0023】

上記記憶回路では、前記スピントランジスタ上で互いに電気的に絶縁された状態で交差する第1の別配線及び第2の別配線とに電流を流すことにより誘起される磁場により、前記フリー層の磁化を反転させ、前記フリー層と前記ピン層との間の相対的な磁化状態を変化させ情報を記憶する（又は書き換える）ことができる。

## 【0024】

前記第1の別配線および前記第2の別配線、又は、前記第1の別配線又は前記第2の別配線のいずれか一方に代えて、前記ワード線および前記ピット線、又は、前記ワード線又は前記ピット線のいずれか一方を用いることも可能である。

## 【0025】

50

上記機能回路では、前記スピントランジスタ内に含まれる前記フリー層と前記ピン層とが平行磁化を持つ場合における、前記スピントランジスタにおける出力特性に基づき、情報の読み出しを行うことができる。

[ 0 0 2 6 ]

さらに、上記記憶回路において、それぞれのビット線の一端に出力端子が形成され、それぞれのビット線から分岐し負荷を介して電源に接続する第2の配線が設けられた記憶回路が提供される。

[ 0 0 2 7 ]

この場合には、前記フリー層と前記ヒン層との相対的な磁化状態に依存する前記スピントランジスタの前記第1と第2の電極構造間に生じる電流による前記負荷の電圧降下に基づいて得られる出力電圧により、情報の読み出しを行ふことができる。

10

上記回路を用いれば、トランジスタ内の磁化状態に応じた出力電圧を負荷と電源により設計できる高集積密度で高速な不揮発性記憶回路が提供できる。

[ 0 0 2 8 ]

### 【発明の実施の形態】

本発明に係るトランジスタは、特定のスピンの向きを有するスピン偏極ホットキャリアを注入するスピニンインジェクタと、この注入されたスピン偏極ホットキャリアを、そのスピンの向きに応じて選別するスピニアナライザとを有している。スピニンインジェクタは、Flow-letr-Nordheimトンネル又はダイレクトトンネル等のトンネル効果が可能な厚さを有する第1の強磁性障壁層と、第1の強磁性障壁層の一端面に接合した第1の非磁性電極層と、第1の強磁性障壁層の他端面に接合した第2の非磁性電極層とを有している。スピニアナライザは、第2の強磁性障壁層と、第2の強磁性障壁層の一端面に接合した第2の非磁性電極層と、第2の強磁性障壁層の他端面に接合した第3の非磁性電極層とを有しており、スピニンインジェクタと第2の非磁性電極層とが共通になっている。第2の非磁性電極層の厚さは、この非磁性電極層におけるスピン偏極ホットキャリアの平均自由行程以下の厚さであることが好ましい。

20

〔0029〕

すなわち、上記構成を、公知のホットエレクトロントランジスタの構成と比較すると、第1の非磁性電極層と第1の強磁性障壁層とがエミッタ及びエミッタ障壁に対応し、第2の非磁性電極層がベースに対応し、第2の強磁性障壁層と第3の非磁性電極層とがコレクタ障壁とコレクタに対応する。

30

[0 0 3 0]

第1及び第2の強磁性障壁層は、絶縁性の強磁性半導体又は強磁性絶縁体を含んで構成される。これらの強磁性障壁層のエネルギー-bandは、磁気的な交換相互作用によりスピントリ分割してあり、バンド端ではこのスピントリ分割によってアップスピントリバンドのみ、あるいはダウントスピントリバンドのみが存在する。また、一方のスピントリバンドのみが存在するエネルギー幅をスピントリ分割幅と呼ぶ。

[ 0 0 3 1 ]

スピニンジェクタのスピニルタ効果においては、第1の強磁性障壁層に第1の非磁性電極層と第2の非磁性電極層とを介して電圧を印加して生じさせるFOWLER-NOORDHUIZENトンネル又はダイレクトトンネル等のトンネル効果において、第1の非磁性電極層のキャリアのうち第1の強磁性障壁層のバンド端におけるスピニルバンドのスピニンの向きに一致したスピニンの向き（キャリアが電子の場合では、第1の強磁性障壁層の磁化と反平行となるスピニンの向きを、キャリアが正孔の場合では、第1の強磁性障壁層の磁化と平行となるスピニンの向きを指す。）を有するキャリアのトンネル確率が大きく、一致しないスピニンの向き（キャリアが電子の場合では、第1の強磁性障壁層の磁化と平行となるスピニンの向きを、キャリアが正孔の場合では、第1の強磁性障壁層の磁化と反平行となるスピニンの向きを指す。）を有するキャリアのトンネル確率が小さいことを利用している。

40

〔 0 0 3 2 〕

スピニアナライザのスピニフィルタ効果は、第2の強磁性障壁層のスピニ分裂したバンド

50

にスピニンインジェクタからスピニン偏極ホットキャリアを注入する場合において、注入されたスピニン偏極ホットキャリアのスピニンの向きと第2の強磁性障壁層のバンド端におけるスピニンバンドのスピニンの向きとが平行の場合（第1と第2の強磁性障壁層が平行磁化）に、スピニン偏極ホットキャリアは第2の強磁性層のスピニンバンド内を伝導して第3の非磁性電極層に到達するが、スピニン偏極ホットキャリアと第2の強磁性層のバンド端におけるスピニンバンドのスピニンの向きが反平行の場合（第1と第2の強磁性障壁層が反平行磁化）には、スピニン偏極ホットキャリアは第2の強磁性障壁層を伝導することができないことを利用する。

#### 【0083】

上記トランジスタは以下のように動作する。

10

第1の非磁性電極層と第2の非磁性電極層との間に第1の電源により第1の電圧を印加し、第2の非磁性電極層と第3の非磁性電極層との間、または、第1の非磁性電極層と第3の非磁性電極層との間に第2の電源により第2の電圧を印加し、第1の強磁性障壁層と第2の強磁性障壁層との相対的な磁化の向きに応じて、第1の非磁性電極層から第2の非磁性電極層に注入されたスピニン偏極ホットキャリアを、第2の強磁性障壁層と第2の電源を介して流れる電流に、または、第2の非磁性電極層と第1の電源を介して流れる電流に切り替える。

#### 【0084】

このとき、第1の電圧は、注入されたスピニン偏極ホットキャリアのエネルギーが、第2の強磁性障壁層のバンド端におけるスピニンバンド端のエネルギーより大きく、スピニンバンド端にスピニン分裂幅を加えたエネルギーよりも小さくなるように印加する。

20

#### 【0085】

上記構成によれば、第1の強磁性障壁層のバンド端におけるスピニンバンドのスピニンの向きと平行なスピニンの向きを有する第1の非磁性電極層内のキャリアが  $F \circ w \mid e \rightarrow N \circ t$   $d \circ h \circ i \circ m$  トンネルやダイレクトトンネル等のトンネル効果によって第2の非磁性電極層にスピニン偏極ホットキャリアとして注入される。第2の非磁性電極層の厚さは、第2の非磁性電極層内におけるスピニン偏極ホットキャリアの平均自由行程以下の厚さであるから、注入されたスピニン偏極ホットキャリアは、エネルギーを失うことなく、第2の強磁性障壁層に到達する。加えて、スピニン偏極ホットキャリアのエネルギーは、第2の強磁性障壁層のバンド端におけるスピニンバンド端のエネルギーより大きく、このスピニンバンド端にスピニン分裂幅を加えたエネルギーよりも小さいエネルギーを有するため、注入されたスピニン偏極ホットキャリアのスピニンの向きが第2の強磁性障壁層のバンド端におけるスピニンバンドのスピニンの向きと平行である場合には、スピニン偏極ホットキャリアは第2の強磁性障壁層内に発生している電界によって、このスピニンバンド内を伝導し、第3の非磁性電極層に輸送され、第3の非磁性電極層と第1の非磁性電極層の間に流れる電流となる。

30

#### 【0086】

一方、注入されたスピニン偏極ホットキャリアのスピニンの向きが第2の強磁性障壁層のバンド端におけるスピニンバンドのスピニンの向きと反平行である場合には、スピニン偏極ホットキャリアは第2の非磁性電極層と第2の強磁性障壁層の界面で散乱（または反射）され、第2の非磁性電極層と第1の非磁性電極層との間に流れる電流となる。

40

#### 【0087】

このように、第1の強磁性障壁層と第2の強磁性障壁層との相対的な磁化の向きが平行か反平行かによって、第1の強磁性障壁層を流れる電流を、第2の強磁性層を介し、第3の非磁性電極層と第1の非磁性電極層の間に流れる電流に、または、第2の非磁性電極層と第1の非磁性電極層との間に流れる電流に切り替えることができる。すなわち、第1の強磁性障壁層と第2の強磁性障壁層の相対的な磁化の向きによって、第2の強磁性障壁層を介して流れる電流を制御することができます。周知のベース接地、または、エミッタ接地のホットエレクトロントランジスタやバイポーラトランジスタの動作と対比させれば、コレクタ電流をベース電流によって制御することに対応するが、本実施の形態によるトランジスタでは、ベース電流によるコレクタ電流の電流増幅率を第1の強磁性障壁層と第2の強

50

磁性障壁層との相対的な磁化の向きによって制御することができます。すなわち、本実施の形態によるトランジスタは、電流増幅率を制御できるトランジスタであり、ベース電流（または第1及び第2の非磁性電極間のバイアス電圧）のみならず、第1の強磁性障壁層と第2の強磁性障壁層の相対的な磁化の向きによってもコレクタ電流を制御することができます。

【0038】

また、第1の強磁性障壁層と第2の強磁性障壁層の保磁力を変えておくか、一方の磁化の向きを固定しておけば、第1の強磁性障壁層と第2の強磁性障壁層のうちのいずれか一方の磁化の向きが反転する適切な強度の磁場を印加することによって、第1の強磁性障壁層と第2の強磁性障壁層との相対的な磁化の向きを平行または反平行のいずれかに任意に変更できる。すなわち、トランジスタ内に情報を記憶させることができます。

10

【0039】

従って、上記トランジスタを用いてメモリセルを構成することができる。本実施の形態によるトランジスタを用いた不揮発性メモリの一例について以下に説明する。本実施の形態によるトランジスタの第2の非磁性電極層をワード線に接続し、トランジスタの第3の非磁性電極層をピット線に接続し、負荷を介してピット線を電源に接続し、トランジスタの第1の非磁性電極層を接地する。この構成によれば、特定のワード線を選択して第2の非磁性電極層にバイアスを加え、特定のピット線を選択して出力電圧（第1と第2の非磁性電極間に生じる電圧）を検出すれば、出力電圧は、トランジスタの第1の強磁性障壁層と第2の強磁性障壁層の相対的な磁化の向きに応じて変化する。すなわち、相対的な磁化の向きが平行の場合には、出力電圧が小さくなり、相対的な磁化の向きが反平行の場合には出力電圧が大きくなる。従って、記憶された情報を、出力電圧の大小により読み出すことができる。

20

【0040】

上記不揮発性メモリは、本実施の形態によるトランジスタをエミッタ接地トランジスタとして使用し、コレクタに電源と負荷を付加し、コレクタ電圧を出力電圧とするから、電源電圧と負荷といった周辺回路によって第1と第2の強磁性障壁層が平行磁化である場合の出力電圧と、反平行磁化である場合の出力電圧を所望の値に設計できる。従って、上記不揮発性メモリを用いれば、MTJを用いたMRAMにおける、トンネル抵抗が小さく出力電圧が小さいという問題点並びにTMR比が小さく記憶情報を判別しにくいという問題点、さらに、印加バイアスによって出力電圧の比が小さくなるという問題点を解決することができる。

30

【0041】

以下、上記トランジスタの構成及び動作について図面に参考しつつ詳細に説明する。尚、以下の説明を分かりやすくするため、本実施の形態によるトランジスタをスピニルタトランジスタと称する。

【0042】

図1は、本実施の形態によるスピニルタトランジスタの構成を示す図であり、図1(A)は模式的な断面図であり、図1(B)は、図1(A)に示す構成の伝導バンド（又は価電子バンド）のエネルギーバンド図であり、障壁層におけるスピンドバンドのスピノの向きを併せて示した図である。但し、キャリアが正孔であればバンド端におけるスピノの向きと磁化の向きは一致するが、キャリアが電子であればバンド端におけるスピノの向きと磁化の向きは逆向きとなる。

40

【0043】

本実施の形態によるスピニルタトランジスタ1は、第1の強磁性障壁層2と、第1の強磁性障壁層2の一端面に接合した第1の非磁性電極層3と、第1の強磁性障壁層2の他端面に接合した第2の非磁性電極層4とを有して構成されるスピニンインジェクタ5と、第2の強磁性障壁層6と、第2の強磁性障壁層6の一端面に接合した第2の非磁性電極層4と、第2の強磁性障壁層6の他端面に接合した第3の非磁性電極層7とを有して構成されるスピニアライザ8と、を有して構成されている。図1(A)から明らかのように、ス

50

ピンインジェクタ5とスピンドライサ8とは、第2の非磁性電極層4を共通にしている。

【0044】

第1、第2及び第3の非磁性電極層3、4及び7として、非磁性金属、n型非磁性半導体又はP型の非磁性半導体を用いることができる。また、第2の非磁性電極層4の厚さは、スピンドライサから注入されたスピンドルホットキャリアの非磁性電極層4内における平均自由行程以下にするのが好ましい。平均自由行程よりもベース幅を短くすることにより、電流伝送率を0.5以上にすることが可能となり、電流増幅作用を得ることができる。

【0045】

第1及び第2の強磁性障壁層2、6としては、絶縁性の強磁性半導体又は強磁性絶縁体を用いることができる。強磁性障壁層のエネルギー bandwidth は、磁気的な交換相互作用によりスピンドルホットキャリアの非磁性電極層4内における平均自由行程以下にするのが好ましい。平均自由行程よりもベース幅を短くすることにより、電流伝送率を0.5以上にすることが可能となり、電流増幅作用を得ることができる。

10

【0046】

図1(B)に示すように、強磁性障壁層2、6に矢印←を付して示した実線は、アップスピンドルホットキャリアの存在できるバンドの端部、すなわち、アップスピンドルホットキャリア端9であり、一方、矢印→を付して示した実線は、ダウンドラインスピンドルホットキャリアの存在できるバンドの端部、すなわち、ダウンドラインスピンドルホットキャリア端10である。図1(B)におけるアップスピンドルホットキャリア端9とダウンドラインスピンドルホットキャリア端10との間は、アップスピンドルホットキャリアの存在できる領域である。また、ダウンドラインスピンドルホットキャリア端10よりも高いエネルギーを有する領域は、アップスピンドルホットキャリアとダウンドラインスピンドルホットキャリアとの両方が存在できる領域である。図1(B)は、アップスピンドルホットキャリアのスピンドル bandwidth がダウンドラインスピンドルホットキャリアのスピンドル bandwidth よりも低い場合を例示しているが、これとは逆の状態も可能である。

20

【0047】

第1の強磁性障壁層2は、第1の非磁性電極層3と第2の非磁性電極層4とに印加する電圧によって、Fowler-Nordheimトンネル(以後、FNトンネルと称する。)又はダイレクトトンネル等のトンネル効果によって第1の非磁性電極層3から第2の非磁性電極層4へキャリアの透過が可能な厚さを有している。尚、ダイレクトトンネルとは、キャリアが薄いポテンシャル障壁を直接透過する現象を言う。また、FNトンネルとは、ある印加電圧まではダイレクトトンネルによるトンネル電流が無視でき、ある値以上の電圧を印加することによって生じるポテンシャル障壁上部の三角ポテンシャルをキャリアがトンネルする現象を言う。

30

【0048】

第1の非磁性電極層3と第2の非磁性電極層4とに印加する電圧は、通常のメモリ回路に使用される電圧範囲で良く、例えば、数百mVから数Vのオーダーである。第2の強磁性障壁層6の厚さは、第2の非磁性電極層4から第3の非磁性電極層7にキャリアの熱放出またはトンネルによる電流(いわゆるリーク電流)が生じない程度に厚くする必要がある。

40

【0049】

上記の非磁性電極層3、4、7および強磁性電極層2、6は、図1(B)に示すエネルギー bandwidth 構造を形成する。図1(B)中の非磁性電極層部分の実線11は、金属のフェルミエネルギー又はn型(P型)半導体のフェルミエネルギー又は伝導帯の底(価電子帯の頂上)のエネルギーを示す。非磁性電極層部分の実線11に対する強磁性障壁層2、6の低い方のエネルギー障壁を $\phi_c$ で示し、スピンドル bandwidth を $\Delta$ で表す。強磁性障壁層2と6は、異なる値の $\phi_c$ と $\Delta$ を有しても良いが、以下では、強磁性障壁層2と6とで同じ値の $\phi_c$ と $\Delta$ を持つ場合について示す。

【0050】

キャリアが電子である場合は、非磁性電極層3、4、7に非磁性金属又はn型半導体を用い、強磁性障壁層2、6に絶縁性の強磁性半導体又は強磁性絶縁体を用いる。この場合、

50

強磁性障壁層 2、6 のアップスピンバンド端 9 及びダウンスピンバンド端 10 は、伝導帯の底がスピン分裂したものである。また、キャリアを正孔とする場合には、非磁性電極層 3、4、7 として P 型半導体を用い、強磁性障壁層 2、6 に絶縁性の強磁性半導体又は強磁性絶縁体を用いる。この場合には、強磁性障壁層 2、6 のアップスピンバンド端 9 及びダウンスピンバンド端 10 は、価電子帯頂上がスピン分裂したものである。

#### 【0051】

次に、上記スピンフィルタトランジスタの動作原理について詳しく説明する。以後の説明においては、説明を簡単にするために、ホットエレクトロントランジスタの表記法を併用して説明する。すなわち、第 1 の非磁性電極層 3 と第 1 の強磁性障壁層 2 をエミッタ 21、第 2 の非磁性電極層 4 をベース 22、第 2 の強磁性障壁層 6 と第 3 の非磁性電極層 7 をコレクタ 23 と称し、第 1 の非磁性電極層 3 をエミッタ電極 3、第 3 の非磁性電極層 7 をコレクタ電極 7 と称する。また、キャリアが電子の場合を例にして説明する（キャリアがホールの場合も、動作原理は本質的に同等であるので説明を省略する）。

10

#### 【0052】

図 2 は、本実施の形態によるトランジスタのエミッタ、ベース、コレクタ間にベース接地バイアス電圧を加えた場合のエネルギーバンド図であり、図 2 (A) は第 1 及び第 2 の強磁性障壁層の磁化の向きが互いに平行な場合、図 2 (B) は第 1 及び第 2 の強磁性障壁層の磁化の向きが互いに反平行な場合であり図 2 (A) に対応する図である。エミッタ 21 とベース 22 間にバイアス電圧  $V_{EB}$  を、ベース 22 とコレクタ 23 との間にバイアス電圧  $V_{CB}$  を加えている。このとき  $V_{EB}$  の大きさは ( $\Phi_c < qV_{EB} < \Phi_c + \Delta$ ) の関係を満たすように設定する。但し、 $q$  は電荷量である。

20

#### 【0053】

エミッタ 21 は、ベース 22 にスピン偏極したホットエレクトロンを注入するスピンインジェクタとして働く。すなわち、バイアス電圧  $V_{EB}$  によってキャリアをエミッタ電極 3 から第 1 の強磁性障壁層 2 をトンネルにより通過させる場合に、第 1 の強磁性障壁層 2 の伝導帯がスピン分裂しているため、エミッタ電極 3 に存在するアップスピン電子 24 とダウンスピン電子 25 とでは感じる障壁高さが異なる。

30

#### 【0054】

すなわち、図 2 (A) では、アップスピン電子 24 が感じる障壁高さは、第 1 の強磁性障壁層 2 のアップスピンバンド端 9 までのエネルギー、すなわち  $\Phi_c$  であり、ダウンスピン電子 25 が感じる障壁高さは、第 1 の強磁性障壁層 2 のダウンスピンバンド端 10 までのエネルギー、すなわち、 $\Phi_c + \Delta$  である。従って、ベースーエミッタ電圧を制御することにより、感じる障壁高さが低い方のスピンを持つ電子、この場合にはアップスピンを持つ電子 24 を選択的にベース 22 にトンネル注入させることができる（この現象をスピンフィルタ効果と称する。）。

#### 【0055】

一方、上記トランジスタのコレクタ 23 は、ベース 22 に注入されたスピン偏極ホットエレクトロンの向きを選別するスピンアナライザとして働く。すなわち、バイアス電圧  $V_{EB}$  によってホットな状態となりベース 22 に注入されたスピン偏極ホットエレクトロン 26 は、ベース 22 の幅をスピン偏極ホットエレクトロン 26 の平均自由行程以下に設定しているため、ベース 22 とコレクタ 23 の界面までエネルギーを失うことなく、すなわち、パリスティックに到達することができる。コレクタ 23 の第 2 の強磁性障壁層 6 も、伝導帯のスピン分裂によって障壁高さの異なる 2 つの障壁が生じている。図 2 (A) に示すように、第 1 及び第 2 の強磁性障壁層 2、6 の磁化の向きが互いに平行な場合、スピン偏極ホットエレクトロン 26 と平行なスピンを持つ第 2 の強磁性障壁層 6 のアップスピンバンド端 9 は、スピン偏極ホットエレクトロン 26 のエネルギーより低いため、スピン偏極ホットエレクトロン 26 は、第 2 の強磁性障壁層 6 を越えてコレクタ電極 7 へ伝導し、コレクタ電流  $I_C$  となる。

40

#### 【0056】

一方、図 2 (B) に示すように、第 1 及び第 2 の強磁性障壁層 2、6 の磁化方向を互いに

50

反平行にした場合、ベース22には、ダウンスピニンを有するスピニン偏極ホットエレクトロン27が注入されるが、ダウンスピニンを有する第2の強磁性障壁層6のダウンスピニンバンド端10がスピニン偏極ホットエレクトロン27のエネルギーよりも高いので、スピニン偏極ホットエレクトロン27は第2の強磁性障壁層6の伝導帯を伝導できず、ベース22とコレクタ23との界面においてスピニン依存散乱（又は反射）を受けてエネルギーを失い、ベース電流 $I_B$ となる。

## 【0057】

このように、エミッタ22の第1の強磁性障壁層2とコレクタ23の第2の強磁性障壁層6との相対的な磁化の向きにより、エミッタからコレクタへ流れる電流の電流伝送率は大きく異なる。換言すれば、ベース電流によるコレクタ電流の電流増幅率が大きく異なる。

10

## 【0058】

図3は、本実施の形態によるスピニルタトランジスタのベース接地における静特性を示す図である。横軸は、図面上右方向にコレクターベース電圧 $V_{CB}$ 、左方向にエミッターベース電圧 $V_{EB}$ を示し、縦軸は、エミッタ電流 $I_E$ 、ベース電流 $I_B$ 、コレクタ電流 $I_C$ を示している。図3(A)は、エミッタとコレクタの強磁性障壁層の磁化方向が平行の場合の静特性を、図3(B)は、反平行の場合の静特性を示している。尚、図3(A)、図3(B)において、 $\alpha$ は電流伝送率、 $\beta$ は電流増幅率を示し、また、添え字、←→はそれぞれ、エミッタとコレクタの強磁性障壁層の相対的な磁化方向が平行の場合と、反平行の場合とを示す。

## 【0059】

図3(A)に示すように、エミッタとコレクタの磁化方向が平行の場合には、エミッタ電流 $I_E$ のほとんどがコレクタ電流 $I_C$ とすることができます。図3(B)に示すように、磁化方向が反平行の場合には、エミッタ電流 $I_E$ のほとんどがベース電流 $I_B$ とすることができます。公知のホットエレクトロントランジスタ又はバイポーラトランジスタと同様に、本実施の形態によるトランジスタにおいても、ベース電流 $I_B$ によりコレクタ電流 $I_C$ を制御することができます。加えて、第1と第2の強磁性障壁層の相対的な磁化の向きによつても、電流増幅率を制御することができます。

20

## 【0060】

本実施の形態によるスピニルタトランジスタの強磁性障壁層としては、EuS、EuSe、EuO等の強磁性半導体を使用することができます。また、 $R_3Fe_5O_{12}$ （Rは希土類元素を示す）等の強磁性絶縁体も使用することができます。非磁性電極層としては、非磁性体であれば良く、例えば、AlやAuなどの金属や、高濃度に不純物ドーフされたSiやGaAs等の非磁性半導体でも良い。例えば、強磁性障壁層として、EuS、非磁性電極層としてAlを用いた場合、障壁高さ $\Phi_C = 1.4eV$ であり、スピニン分裂幅 $\Delta = 0.36eV$ である。また、本実施の形態によるスピニルタトランジスタは、上記の材料を用い、公知の分子線エピタキシャル成長法、真空蒸着法、スペッタリング法等によって製造することができます。

30

## 【0061】

次に、本発明のスピニルタトランジスタをメモリセルとして用いた不揮発性メモリについて説明する。

40

図4(A)は、本実施の形態によるスピニルタトランジスタ1を用いたメモリセルの一構成例を示す図である。図4(A)に示すメモリセルでは、スピニルタトランジスタを多数マトリクス状に配置し、エミッタ端子Eを接地してコレクタ端子Cとベース端子Bとをそれぞれ読み出し用ピット線BLと読み出し用ワード線WLとに接続している。また、書き換え用ワード線と書き換え用ピット線を、上記スピニルタトランジスタ上で他の配線と電気的に絶縁した状態で交差するように配置する。この書き換え用ワード線と書き換え用ピット線として、上記の読み出し用ピット線BLと読み出し用ワード線WLとを併用しても良い。図4(A)は、併用した場合のセル構成を示す図である。図4(A)の場合では、スピニルタトランジスタ単体でメモリセルを構成できるとともに、配線に関しても非常に単純な構成にすることができる。従って、微細化に適したレイアウトを

50

容易に構成することができる。図4(B)も同様のセル構成を用いている。

【0062】

次に、本実施の形態によるメモリ回路について図4(B)を参照して説明する。本実施の形態によるメモリ回路41は、スピニルタトランジスタ1(図1)のベースである第2の非磁性電極4をワード線42に接続し、スピニルタトランジスタ1のコレクタ電極である第3の非磁性電極7をピット線43に接続し、ピット線43を、負荷( $R_L$ )44を介して電源( $V_{CC}$ )45に接続し、スピニルタトランジスタ1のエミッタ電極である第1の非磁性電極3を接地した構成を有している。ここでは負荷として純抵抗を用いているが、トランジスタによる能動負荷を用いても良い。

【0063】

特定のメモリセルの記憶情報を読み出すには、特定のワード線42を選択してエミッタベース間にバイアスを加え、ピット線43に負荷抵抗44を介して電源45の電源電圧 $V_{CC}$ を印加し、ピット線43にあらわれる出力電圧 $V_o$ の大小によって記憶情報を読み出す。図4(C)の縦軸はコレクタ電流 $I_C$ 、横軸はコレクタ-エミッタ間電圧 $V_{CE}$ を表し、スピニルタトランジスタの $I_C$ - $V_{CE}$ 特性と、負荷抵抗44による負荷直線46を同一の図の上に示したものである。出力電圧 $V_o$ は、これらの特性の交点から決定される。すなわち、第1及び第2の強磁性障壁層2、6の相互の磁化方向が、平行の場合と反平行の場合との出力信号は、それぞれ、図4(C)に示すように、 $V_o \leftarrow \leftarrow$ と $V_o \rightarrow \rightarrow$ になる。 $V_o \leftarrow \leftarrow$ 及び $V_o \rightarrow \rightarrow$ の絶対値、及び、 $V_o \leftarrow \leftarrow$ と $V_o \rightarrow \rightarrow$ の比は回路パラメータ( $R_L$ 及び $V_{CC}$ )により最適化できる。このように、本実施の形態による不揮発性メモリデバイスは、MTJのように素子自身の構造を調節することなく、必要な大きさの出力信号及び出力信号の比を得ることができる。

【0064】

本実施の形態によるトランジスタにおいて利用するスピニルタ効果は、強磁性体におけるバンドのスピニル分裂を利用した効果であり、MTJのTMR効果に比べてスピニルの選択率が高い。ベース幅をスピニル偏極ホットキャリアの平均自由行程以下に設定すれば、第1及び第2の強磁性障壁層間の相対的な磁化状態が、平行磁化の場合では、電流伝送率 $\alpha$ (= $I_C / I_E$ で定義)は0.5以上になりうるが、反平行磁化の場合では、電流伝送率は極めて小さい。すなわち、平行磁化の場合と反平行磁化の場合との電流伝送率の変化は、電流増幅率 $\beta$ (= $I_E / I_B$ で定義される)でみると、さらに増幅されていることになる。この磁化状態で大きく異なるスピニルタトランジスタの出力特性に対して、上述した周辺回路により出力信号の最適化を行うことにより、容易に所望の出力信号の絶対値及び所望の出力信号の比を得ることができる。

【0065】

次にキャリアのスピニルの向きに依存する出力特性を有するトランジスタ(以下、「スピントランジスタ」と称する)を用いた不揮発性記憶回路について説明する。

本発明に係る記憶回路は、スピントランジスタを用いた不揮発性記憶回路に関するものである。スピントランジスタは強磁性金属や強磁性半導体などの強磁性体をトランジスタ内に含み、この磁化状態によってキャリアのスピニルの向きを制御して出力特性を変化させる。スピントランジスタ内部における強磁性体の磁化状態に基づき情報を記憶し、スピントランジスタ内部の磁化状態を反映したトランジスタの出力特性を用いて情報の読み出しを行う。スピントランジスタを用いれば1つのスピントランジスタで1ビットの不揮発性メモリセルを構成することが可能であり、また、記憶情報に対する出力信号の値を、このメモリセルに接続した周辺回路によって最適化することが可能である。

【0066】

より詳細には、スピントランジスタは、磁化の向きを磁場等によって独立に制御できる強磁性体層(フリー層)と、磁化の向きが固定されている強磁性体層(ピン層)と、を少なくとも1つずつ有しており、同一バイアス下であっても、フリー層とピン層との相対的な磁化の向きによってトランジスタの出力特性を制御できるトランジスタである。フリー層の磁化の向きを磁場等により変化させることにより、フリー層とピン層との相対的な磁化

10

20

30

40

50

状態を平行磁化又は反平行磁化の2つの状態を実現することができる。この2つの磁化状態が2値の記憶情報に対応する。

【0067】

スピントランジスタでは、スピントラニン散乱、トンネル磁気抵抗効果、スピントラニルタ効果等のキャリアのスピントラニンの向きに依存して変化する伝導現象に基づいて、トランジスタ内の磁化状態に応じた出力特性を得ることが出来る。スピントランジスタは、スピントラニルタ効果を注入する第1の電極構造及びスピントラニルタ効果を受け入れる第2の電極構造と、第1の電極構造から第2の電極構造へ伝導するスピントラニルタ効果の量を制御する第3の電極構造とを備えている。

【0068】

スピントランジスタでは、スピントラニンに依存する伝導現象以外は、一般的なトランジスタと同様の動作原理に基づき動作する。従って、スピントランジスタはバイポーラトランジスタ等の電流駆動型トランジスタと電界効果トランジスタ等の電圧駆動型トランジスタとに分類することができる。電流駆動型トランジスタでは、第1の電極構造はエミッタに、第2の電極構造はコレクタに、第3の電極構造はベースにそれぞれ対応する。本実施の形態で説明したスピントラニルタトランジスタはこの電流駆動型に分類される。

【0069】

また、電圧駆動型トランジスタの場合には、第1の電極構造はソースに、第2の電極構造はドレインに、第3の電極構造はゲートにそれぞれ対応する。スピントランジスタにおけるコレクタ電流またはドレイン電流は、同一バイアス下にあっても、スピントランジスタ内に含まれる強磁性体の磁化状態で変化する。

【0070】

スピントランジスタの詳細については後述し、以下、スピントランジスタの一般的な出力特性と、スピントランジスタを用いた不揮発性メモリについて説明する。以下では、スピントランジスタ内にフリー層とピニ層の強磁性体を含み、フリー層に磁場を印加することによって、フリー層とピニ層の相対的な磁化状態を平行磁化または反平行磁化を実現することができるとする。また、この磁化状態はフリー層の保磁力以上の磁場が印加されない限り安定に存在できるものとする。

【0071】

図5(A)に、電流駆動型スピントランジスタの出力特性の例を模式的に示す。通常の電流駆動型トランジスタと同様に、コレクタ電流  $I_C$  はベース電流  $I_B$  の大きさによって制御できるが、コレクタ電流の大きさはスピントランジスタ内に含まれる強磁性体の磁化状態にも依存する。図5(A)の場合では、スピントランジスタに同じバイアスを加えても ( $I_B = I_{B1}$ )、平行磁化の場合ではコレクタ電流  $I_C \leftarrow \leftarrow$  は大きく、反平行磁化の場合ではコレクタ電流  $I_C \rightarrow \rightarrow$  は小さい。

【0072】

図5(B)に、電圧駆動型スピントランジスタの出力特性の例を模式的に示す。通常のMOSトランジスタなどの電界効果トランジスタと同様に、ゲート-ソース電圧 ( $V_{GS}$ ) がしきい値  $V_T$  よりも小さい場合 ( $V_{GS} < V_T$ ) には、スピントランジスタは遮断状態でドレイン電流はほとんど生じない。 $V_T$  以上の  $V_{GS}$  を印加すれば、スピントランジスタは導通状態となるが、同じバイアス下 ( $V_{GS} = V_{GS1}$ ) にあっても、スピントランジスタ内に含まれる強磁性体が平行磁化を持つ場合と反平行磁化を持つ場合とでドレイン電流値は異なる。図5(B)の場合では、平行磁化を持つ場合には、ドレイン電流  $I_D \leftarrow \leftarrow$  は大きく、反平行磁化を持つ場合には、ドレイン電流  $I_D \rightarrow \rightarrow$  は小さい。

【0073】

従って、スピントランジスタでは、電流駆動型、電圧駆動型とともにデバイス内に含まれるフリー層とピニ層の相対的な磁化の向きを、コレクタ電流またはドレイン電流の大きさに基づいて、電気的に検出することができる。また、上記のように強磁性体では、外部からフリー層の保磁力以上の磁場が印加されない限り磁化の向きを安定に保持することができる。このため、スピントランジスタでは、デバイス内に含まれるフリー層とピニ層の相対

10

20

30

40

50

的な磁化状態を平行磁化または反平行磁化にすることによって2値の情報を記憶することができる。従って、スピントランジスタを用いれば、1つのスピントランジスタのみで1ビットの不揮発性メモリセルを構成することができる。

#### 【0074】

以下、電圧駆動型のスピントランジスタを用いた場合を例にして、スピントランジスタを用いた不揮発性メモリについて詳述する。電流駆動型のスピントランジスタをメモリセルに用いた場合も同様にして構成することができる。

#### 【0075】

図6(A)は、スピントランジスタを用いたメモリセルの構成例を示す図である。図6(B)は、このメモリセルに基づいて形成した記憶回路の構成例を示す図である。図6(A)と図6(B)との関係は、図4(A)と図4(B)との関係と同様である。図6(A)に示すメモリ回路では、スピントランジスタ150を多数マトリクス状に配置し、ソースSを接地してドレインDとゲートGとをそれぞれ読み出し用ビット線BLと読み出し用ワード線WLとに接続している。また、書き換え用ワード線と書き換え用ビット線を、上記スピントランジスタ150上で他の配線と電気的に絶縁した状態で交差するように配置する。この書き換え用ワード線と書き換え用ビット線として、上記の読み出し用ビット線BLと読み出し用ワード線WLとを併用しても良い。図6(A)、(B)は、併用した場合の構成を示す図である。図6(A)、(B)の場合では、1つのスピントランジスタのみでメモリセルを構成できるとともに、配線に関しても非常に単純な構成に配置することができる。

10

特に、MOSトランジスタに類似の形態を有する電圧駆動型のスピントランジスタでは、隣り合うメモリセルでソースを共通にするなど、微細化に適したレイアウトを容易に構成することができる。

20

以下、上述した書き換え／読み出し用ビット線および書き換え／読み出し用ワード線を、単に、それぞれビット線BL、ワード線WLと呼ぶ。

#### 【0076】

情報の書き換えは、選択したメモリセル上で交差するビット線BLとワード線WLとに電流を流し、それぞれの配線に流れる電流によって誘起される磁界の合成磁界によって選択されたメモリセルのフリー層を反転させて情報を書き換える。この際、選択セルと同一のビット線BL又はワード線WLに接続している非選択セルが磁化反転しないようにするため、一方の配線のみからの磁界では磁化反転を生じないようにそれぞれの配線に流す電流値を設定しておく。

30

#### 【0077】

情報の読み出しがは、選択セルに接続されたワード線WLに電圧を印加してスピントランジスタを導通させてから、ビット線BLに電圧を印加してドレイン電流の大きさを検出する。このドレイン電流の大きさに基づき、フリー層とピン層との相対的な磁化状態を検出することができる。

#### 【0078】

図6(B)は、図6(A)に示すメモリ回路のビット線端に出力端子V<sub>o</sub>と、この出力端子V<sub>o</sub>から分岐して負荷を介し電源電圧V<sub>DD</sub>に接続したメモリ回路である。図6(C)に、図6(B)に示したメモリセルの静特性と動作点とを示す。ここでは、負荷としてデアレッショニング型MOSトランジスタによる能動負荷160を用いているが、図4(B)のように純抵抗を用いても良い。図6(C)に示すように、情報の読み出し時にはスピントランジスタ150のゲートにゲート電圧V<sub>GS</sub>を印加し、ビット線BLに負荷を介して電源電圧V<sub>DD</sub>を印加すれば、能動負荷による動作点は、ピン層とフリー層との間の磁化状態に応じて図6(C)中の負荷曲線上を動き(図中のP11とP12)、平行磁化と反平行磁化との場合の出力信号V<sub>o</sub>はそれぞれ図中のV<sub>o</sub>←←とV<sub>o</sub>←→となる。それぞれの出力信号の絶対値および比(V<sub>o</sub>←←/V<sub>o</sub>←→)は、能動負荷のトランジスタ特性やV<sub>DD</sub>などの周辺回路のパラメータにより最適化することができる。例えば、スピントランジスタの静特性と能動負荷による負荷曲線との交点を最適化することにより、ドレイン電流比

40

50

$I_D \leftarrow \leftarrow / I_D \leftarrow \rightarrow$  が小さい場合でも大きな出力信号比を得ることができる。また、 $I_D \leftarrow \leftarrow$  と  $I_D \leftarrow \rightarrow$  の値がメモリセルによってはらついていても、能動負荷の飽和電流が  $I_D \leftarrow \rightarrow$  より大きく、 $I_C \leftarrow \leftarrow$  より小さければ、出力電圧はほとんど変動しないようになる。さらに、情報の読み出しにセンスアンプを用いないため、高速の読み出しが可能となる。したがって、本実施の形態による記憶回路では、所望の大きな出力信号を容易に得ることができて、さらに高速読み出しが可能になるという利点を有する。

[ 0 0 7 9 ]

従来のMTJとMOSトランジスタとを用いたメモリセルでは、MTJの抵抗による出力電圧をセンスアンプによって読み取るが、出力電圧はMTJに流す電流値とMTJのインピーダンス（接合抵抗）によって決定され、出力電圧比を周辺回路で自由に調節することはできない。

[0080]

以下に、本実施の形態による不揮発性メモリ回路に適用可能なスピントランジスタの構造について図面を参照して説明する。以下、FMは強磁性金属、FSは電気伝導性強磁性半導体、IFSは絶縁性強磁性半導体、NMは非磁性体の略号である。特に、NM金属は非磁性金属、NM半導体は非磁性半導体を表す。まず、電流駆動型のスピントランジスタ群について説明を行う。

[ 0 0 8 1 ]

図7は、ホットエレクトロントランジスタ型のスピントランジスタのエネルギー・バンド図である。スピントランジスタ200は、エミッタ201とベース205とが、FMまたはFSで構成されている。より詳細には、スピントランジスタ200は、FM(又はFS)からなるエミッタ201と、NMからなるエミッタ障壁203と、FM(又はFS)からなるベース205と、NMからなるコレクタ障壁207と、NMからなるコレクタ211と、を有している。NMとしては非磁性金属または非磁性半導体を用いることができる。

〔 0 0 8 2 〕

[ 0 0 8 3 ]

一方、エミッタ201とベース205とが反平行磁化を持つ場合には、エミッタ201からベース205に注入されたスピントランジスタキャリアは、ベース205内でスピントランジスタの電流を遮断する。したがって、エミッタ201とベース205とが反平行磁化の場合には、両者が平行磁化の場合に比べて電流伝送率が低下する。従って、スピントランジスタ200と同じバイアスが印加されても、エミッタ201とベース205との相対的な磁化状態の違いにより、電流伝送率又は電流増幅率が異なる。また、スピントランジスタ200はコレクタ障壁の障壁高さを適切に選択するなどにより室温動作も可能である。

[0084]

スピントランジスタ 200 は、エミッターベース間が平行磁化を持つ場合と反平行磁化を持つ場合とのそれぞれにおける電流伝送率の比を大きくするためにはスピン依存散乱が効果的に作用できるようにベース幅を長くとする必要がある。一方、ベース幅を長くすると、エミッタとベースとが平行磁化の場合においても、電流伝送率が小さくなり、例えば 0.5 を下回り、增幅作用が失われるといったトレードオフが存在する。

[ 0 0 8 5 ]

図8は、ベースへのスピント注入機構として熱放出を利用したホットエレクトロントランジスタ型のスピントランジスタのエネルギーバンド図である。図8に示すように、スピント

ランジスタ220は、FM(又はF8)からなるエミッタ221と、FM(又はF8)からなるベース225と、両者の間に設けられたNMからなるエミッタ障壁228と、を有している。さらに、ベース225とエミッタ障壁228との接合の反対側に、NMからなるコレクタ障壁227と、NMからなるコレクタ231と、を有している。エミッタ障壁228およびコレクタ障壁227には非磁性半導体を用いることができる。またコレクタ231は非磁性半導体または非磁性金属を用いることができる。

## 【0086】

エミッタ221とエミッタ障壁228との間はオーミックコンタクトまたはトンネルコンタクトを形成する。ベース225とエミッタ障壁228との間、ベース225とコレクタ障壁227との間は、図9に示すバンド不連続を有するように接合を形成する。このバンド不連続は、NM半導体/FM間のショットキー接合やNM半導体/F8間のヘテロ接合により実現することができる。或いは、F8とFMとでショットキー接合を形成し、この際に生じるショットキー障壁をエミッタ障壁とし、F8をエミッタとし、FMをベースとして構成しても良い。

10

## 【0087】

エミッタ221に対してベース225にバイアスを印加することによりエミッタ221からエミッタ障壁228に拡散したスピントランジスタ型のスピントランジスタ200においても、ベースににおけるスピントランジスタ200と同様に、平行磁化および反平行磁化を持つ場合のそれぞれにおける電流伝送率の比と、平行磁化の場合における電流伝送率との間にトレードオフの関係が存在する。但し、トンネル注入を用いた上記スピントランジスタ200に比べて、電流駆動力を大きく取れるといった特徴や、室温動作を実現しやすいといった特徴がある。

20

## 【0088】

図9は、スピントランジスタ型のスピントランジスタのエネルギーバンド図である。このトランジスタについては既に詳細に説明したが、簡単にその特徴を説明する。図9に示すスピントランジスタ240は、エミッタ障壁248およびコレクタ障壁247がIF8により構成されている。NM金属(またはNM半導体)からなるエミッタ241からは、エミッタ障壁248のスピントランジスタ効果により選択的に一方のスピントランジスタ240をNM金属(又はNM半導体)からなるベース245に注入することができる。ベース幅をスピントランジスタ240の平均自由行程以下に設定してあれば、ベース245に注入されたスピントランジスタ240は、パリスティックにベース245を伝導する。このとき、コレクタ障壁247のアップスピントランジスタ240をバイアスしておく。エミッタ障壁248とコレクタ障壁247とが平行磁化を持つ場合には、ベース245に注入されたスピントランジスタ240は、コレクタ障壁247のスピントランジスタ240を乗り越え、NM金属(またはNM半導体)からなるコレクタ251へ伝播することができる。一方、エミッタ障壁248とコレクタ障壁247とが反平行磁化を持つ場合には、コレクタ障壁247のスピントランジスタ240を乗り越えることができず、ベース電流となる。

30

## 【0089】

従って、スピントランジスタ240において、エミッタ障壁248とコレクタ障壁247との相対的な磁化の向きによって、電流伝送率(又は電流増幅率)が異なる。スピントランジ

40

50

ルタ効果はスピンの選択性が極めて大きいため、このトランジスタでは平行磁化と反平行磁化のそれぞれの場合における電流伝送率の比を大きくすることができます。

【0090】

また、スピントランジスタ240では、ベース幅を十分に短くすることが可能である。従って、図7、図8に示すスピントランジスタと異なり、ベース幅に関連する電流増幅率とスピントランジスタの選択性との間のトレードオフは存在しないという利点がある。

【0091】

図10は、トンネルベーストランジスタ型のスピントランジスタのエネルギー・バンド図である。図10に示すように、トンネルベーストランジスタ型のスピントランジスタ260では、エミッタ261とコレクタ265にP型（又はn型）のFSを用い、トンネルベース263にn型（又はP型）のNM半導体を用いている。エミッタベース間及びベースコレクタ間は、正孔（又は電子）に対してベース263が障壁になるようなタイプIIのヘテロ接合を用いることが好ましい。また、ベース幅はエミッタからコレクタにトンネル電流が生じる程度に薄くする。

10

【0092】

図10に示す構造において、エミッタ261とコレクタ265とが平行磁化を持つ場合は、エミッタの多数スピンを有するキャリアは、容易にコレクタ265にトンネルできるためトンネルコンダクタンスは大きいが、エミッタ261とコレクタ265とが反平行磁化を持つ場合は、トンネル磁気抵抗効果（TMR効果）によってトンネルコンダクタンスは小さい。従って、エミッタ261とコレクタ265との相対的な磁化の状態によってコレクタ電流の大きさを制御することができます。

20

【0093】

このスピントランジスタ260におけるTMR比を大きくとることができれば、エミッタコレクタ間の磁化状態に依存するコレクタ電流の変化を大きくすることができます。スピントランジスタ260で、TMR効果を有効に発揮させるためには、ベースコレクタ接合に逆バイアスを印加した場合に空乏層がコレクタ側に広がらないようにすることが好ましい。但し、空乏層がベース側に広がると、コレクタ電流の飽和特性に問題が生じる可能性は存在する。

30

【0094】

上記トランジスタ260において、ベース層に空乏層が広がらないようにベース層を高濃度ドーブし、ベースコレクタ接合の空乏層がコレクタ側に広がるようにした場合には、ベースにおけるTMR効果は期待できないがコレクタに注入されたキャリアはコレクタ内でスピントランジスタの選択性による抵抗を生じる。このスピントランジスタの選択性によりコレクタ電流の大きさを変えることができる。但し、スピントランジスタの選択性による抵抗変化は小さいことからTMR効果を用いる場合に比べてその効果が大きくなり可能性がある。

【0095】

次に、電圧駆動型スピントランジスタ群について図面を参照して説明する。

40

図11は、MOSトランジスタ型のスピントランジスタの断面構造を示す図である。図11に示すように、MOSトランジスタ型のスピントランジスタ300は、NM半導体301上に、FMからなるソース303と、FMからなるドレイン305と、ゲート絶縁膜307を介してゲート電極311と、が形成された構造を有している。FMとNM半導体とのショットキー接合をソース303とドレイン305に用いており、その他の構成は通常のMOSトランジスタと同様である。

【0096】

ソース303からNM半導体301におけるゲート絶縁膜307の直下に形成されるチャネルに注入されたスピントランジスタの選択性は、このチャネルを通ってドレイン305に到達する（以下、簡単のためチャネルに注入されたスピントランジスタの選択性による影響を無視する）。ソース303とドレイン305とが平行磁化を持つ場合は、ドレイ

50

ン 3 0 5 に注入されたスピニン偏極キャリアはスピニン依存散乱を受けることはないが、反平行磁化を持つ場合にはドレンイン電極 3 0 5 においてスピニン依存散乱による抵抗を生じる。

〔 0 0 9 7 〕

従って、このトランジスタ300では、ソースードレイン間の相対的な磁化の向きによってコンタクタンスが異なる。

また、ソース 808 とドレイン 805 に F8 を用いることにより半導体 801 との間に Pn 接合を形成し、ソースおよびドレインを形成することも可能である。

[ 0 0 9 8 ]

図12は、変調ドアトランジスタ型のスピントランジスタの断面構造を示す図である。このスピントランジスタ320は、第1のNM半導体321と第2のNM半導体327との界面に生じる2次元キャリアガスに対するFM（又はF8）からなるソース328と、FM（又はF8）からなるドレイン325と、ゲート電極331とから形成された構造を有している。ソース328とドレイン325が強磁性体で構成されている以外は、通常の通常の変調ドアトランジスタと同様である。

[ 0 0 9 9 ]

ソース 323 から、スピニン偏極キャリアを、二次元キャリアガスにより形成されたチャネル 333 に注入する。ドレイン 325 に達したスピニン偏極キャリアは、ドレイン 325 でのスピニン依存散乱のため、ソース 323 とのドレイン 325 との相対的な磁化の向きによって相互コンダクタンスが異なる。

[0 1 0 0]

図13は、チャネル領域にF8を用いたMOSトランジスタ型のスピントランジスタの断面図である。図13に示すスピントランジスタ340は、F8341上に、FMからなるソース343と、NM(又はFM, F8)からなるドレイン345と、ゲート絶縁膜347を介してゲート電極351と、が形成された構造を有している。FMとF8とのショットキー接合をソース343に用いており、その他の構成は通常のMOSトランジスタと同様である。

【0 1 0 1】

ソース 343 からショットキー障壁を通してスピン偏極キャリアをチャネル 341 中にトンネル注入する。このトンネル注入時の TMR 効果及び FS341 のチャネル内におけるスピン依存散乱によって、ソース 343 と FS341 の相対的な磁化の向きに依存する相互コンダクタンスを実現する。

【0 1 0 2】

図14に断面構造を示すスピントランジスタ360は、絶縁性のNMトンネル障壁365をFM(又はFS)からなるソース361とFM(又はFS)からなるドレイン363とで挟み込んだトンネル接合構造を有しており、トンネル障壁365に対して電界を印加できるようケート電極371を配置したスピントランジスタである。

[ 0 1 0 3 ]

トンネル障壁365の膜厚は、ソースードレイン間にバイアスのみを印加した場合にFowler-Nordheim(FN)トンネルが生じない程度の厚さに設定しておくことが好ましい。ソースードレイン間にバイアスを印加することによって生じるトンネル障壁バンド端の三角ボテンシャルをゲート電圧により変化させることによって、FNトンネルを誘起しドレイン電流を得る。

[ 0 1 0 4 ]

ソース 361 から注入されたスピニン偏極キャリアは、ソース 361 とドレイン 363 の相対的な磁化状態に応じて、ドレイン 363 でスピニン依存散乱を受ける。従って、ソース - ドレイン間の相対的な磁化の向きによってトランジスタの相互コンダクタンスを制御できる。

[0 1 0 5]

図15に断面構造を示すスピントランジスタ380は、図14に示すスピントランジスタ380のトンネル障壁をIF8からなるトンネル障壁385に置き換えたものである。よ

ース881はFM又はFSである必要があるが、ドレイン883は強磁性体でなくてもよい。IF8トンネル障壁層885では、キャリアのスピンの向きによって障壁高さが異なるが、ソース881とトンネル障壁885とが平行磁化を持つ場合にトランジスタが導通状態となるようにソースードレイン間およびソースーゲート間にバイアスを加える。これと同じバイアス条件下において、ソース881とトンネル障壁885が反平行磁化を持つ場合には、ソース881の多数スピンから見たトンネル障壁の高さが高くなるため、スピン偏極キャリアのトンネル確率が減少してドレイン電流が低減する。このスピンフィルタ効果によるスピン選択率は極めて大きいため、スピン分極率の大きな強磁性体をソース881として用いれば、ソースードレイン間の相対的な磁化の向きによる相互コンタクタンスの変化を大きくすることができます。

10

## 【0106】

以上、説明した種々のスピントランジスタは、いずれも図4又は図6に示す記憶回路用のメモリセルとして用いることができる。

また、2つの図11、14、15に示した電圧駆動型のスピントランジスタのソースを1つのソースで共通とした構造を形成することも可能である。図16(A)は共通ソース構成を有するメモリセルの構成例を示す図である。図16(B)は、共通ソース構成を有するメモリセルの断面構造例を示す図である。

## 【0107】

図16(A)、(B)に示すメモリセル構造は、互いに隣接する第1のスピントランジスタTr1と第2のスピントランジスタTr2と、第1のスピントランジスタTr1のケート電極G1と第2のスピントランジスタTr2のケート電極G2とを共通接続するワード配線WLと、第1のスピントランジスタTr1の第1のドレインD1と接続する第1ビットラインBL1と、第2のスピントランジスタの第2のドレインD2と接続する第2ビットラインBL2と、第1及び第2スピントランジスタTr1、Tr2に共通の強磁性ソースSと、これを接続する配線とを有する。上記構造を用いると、ソースを共通とするために、さらに高密度化集積化に適したセル構造となる。

20

## 【0108】

特に、図11、14、15に示した電圧駆動型のスピントランジスタでは遮断時のリーク電流を最小限に抑えるために、図16(B)に示すような絶縁性の高い、例えばSOI基板などを用いるのが好ましい。

30

## 【0109】

以上、説明したように、本発明の実施の形態によるスピンフィルタトランジスタおよびその他の本実施の形態で示した種々のスピントランジスタは、出力特性をデバイス内に含まれるピン層とフリー層との相対的な磁化の向きによって制御できるという特徴的な特性を持つ。この相対的な磁化状態は電力を供給しなくても状態を保持することができるので、不揮発性の性質を有する。従って、この相対的な磁化状態を2値の情報として不揮発性に記憶することができます。さらに、上記の出力特性を用いれば、この相対的な磁化状態を電気的に検出することもできる。すなわち、スピントランジスタを用いれば、1つのスピントランジスタのみで1ビットの不揮発性メモリセルを構成することができます。さらに、本実施の形態によるスピントランジスタを用いた不揮発性メモリ回路を用いれば、記憶情報に対する出力信号の大きさ及び出力信号の比を自由に設計することができます。従って、本発明の実施の形態によるスピントランジスタ及びそれを用いたメモリ回路を用いれば、不揮発性メモリ回路の動作速度及び集積度を向上させることができるので、利点がある。

40

## 【0110】

以上、実施の形態に沿って本発明を説明したが、本発明はこれらに制限されるものではない。その他、種々の変更、改良、組み合わせが可能なことは当業者に自明であろう。

## 【0111】

## 【発明の効果】

以上のように、本発明のスピンフィルタトランジスタによれば、強磁性障壁層間の相対的な磁化の向きによって出力特性を大きく変化させることができる。

50

また、このスピニルタおよびこれと同等の特性を有する他のスピントランジスタをメモリセルに用いた不揮発性メモリ回路は、トランジスタ内に含まれる強磁性体間の相対的な磁化の向きによって2値の情報を記憶することができるとともに、この相対的な磁化の向きを電気的に検出することができる。さらに、本発明の不揮発性メモリ回路を用いれば、記憶情報に対する出力信号を自由に設計できる。従って、上記トランジスタを用いれば、1つのトランジスタのみで1ビットの不揮発性メモリセルを構成する高速かつ高集積密度の不揮発性記憶回路の実現が可能となる。

【図面の簡単な説明】

【図1】本実施の形態によるスピニルタトランジスタの構成を示す図であり、図1(A)は模式的な断面図であり、図1(B)は、図1(A)に示す構成の伝導バンド(または価電子バンド)のエネルギーバンド図であり、障壁層におけるスピンドルのスピンドルの向きを併せて示した図である。

10

【図2】本実施の形態によるトランジスタのエミッタ(第1の非磁性電極層)、ベース(第2の非磁性電極層)、コレクタ(第3の非磁性電極層)間にベース接地バイアス電圧を加えた場合のエネルギーバンド図であり、図2(A)は第1及び第2の強磁性障壁層の磁化の向きが互いに平行な場合、図2(B)は第1及び第2の強磁性障壁層の磁化の向きが互いに反平行な場合である。

20

【図3】本実施の形態によるスピニルタトランジスタのベース接地における静特性を示す図である。横軸は、図面上右方向にコレクターベース電圧 $V_{CB}$ 、左方向にエミッターベース電圧 $V_{EB}$ を示し、縦軸は、エミッタ電流 $I_E$ 、ベース電流 $I_B$ 、コレクタ電流 $I_C$ を示している。図3(A)は、エミッタとコレクタの強磁性障壁層間の磁化状態が平行磁化の場合の特性を、図3(B)は、反平行磁化の場合の特性を示している。

【図4】図4(A)は、本実施の形態によるスピニルタトランジスタ1を用いたメモリセルの一構成例を示す図である。図4(B)はメモリ回路の一構成例を示す図である。図4(C)の縦軸はコレクタ電流 $I_C$ 、横軸はコレクターエミッタ間電圧 $V_{CE}$ を表し、スピニルタトランジスタ150の $I_C - V_{CE}$ 特性と、負荷抵抗による負荷直線を同一の図の上に示したものである。

【図5】図5(A)は、電流駆動型スピントランジスタの出力特性の例を模式的に示す図であり、図5(B)は、電圧駆動型スピントランジスタの出力特性の例を模式的に示す図である。

30

【図6】図6(A)は、本実施の形態による電圧駆動型スピントランジスタを用いたメモリセルの一構成例を示す図である。図6(B)はメモリ回路の一構成例を示す図である。図6(C)の縦軸はドレイン電流 $I_D$ 、横軸はドレイン-ソース間電圧 $V_{DS}$ を表し、電圧駆動型スピントランジスタ1の $I_D - V_{DS}$ 特性と、能動負荷による負荷曲線を同一の図の上に示したものである。

【図7】ホットエレクトロントランジスタ型のスピントランジスタの構成例を示すエネルギーバンド図である。

【図8】熱放出注入を用いたホットエレクトロントランジスタ型のスピントランジスタの構成例を示すエネルギーバンド図である。

【図9】スピニルタ効果を用いたホットエレクトロントランジスタ型のスピントランジスタの構成例を示すエネルギーバンド図である。

40

【図10】トンネルベーストランジスタ型のスピントランジスタの構成例を示すエネルギーバンド図である。

【図11】MOSトランジスタ型のスピントランジスタの構成例を示す断面構造図である。

【図12】変調ドーフトランジスタ型のスピントランジスタの構成例を示す断面構造図である。

【図13】強磁性半導体チャネルを有するMOSトランジスタ型のスピントランジスタの構成例を示す断面構造図である。

【図14】強磁性ソースと強磁性ドレインとの間に設けられた非磁性絶縁性トンネル障壁

50

に対して、ゲート絶縁膜とゲート電極を設けた構成を有するスピントランジスタの構成例を示す断面構造図である。

【図15】強磁性ソースと強磁性ドレインとの間に設けられた絶縁性強磁性トンネル障壁に対して、ゲート絶縁膜とゲート電極を設けた構成を有するスピントランジスタの構成例を示す断面構造図である。

【図16】図16 (A)は共通ソース構成を有するメモリセルの構成例を示す図である。

図16 (B)は、共通ソース構成を有するメモリセルの断面構造例を示す図である。

【図17】図17 (A)は、MTJを用いた一般的なMRAMの構成を示す図であり、図17 (B)は、MTJの動作原理を示す図である。

【符号の説明】

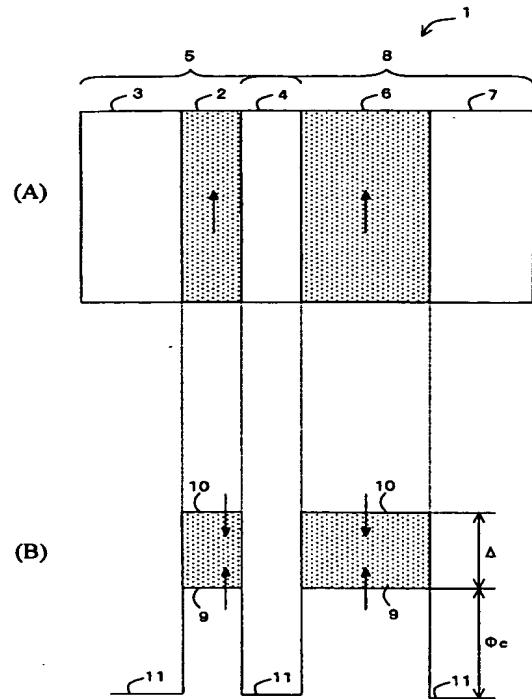
10

- 1 スピニルタトランジスタ
- 2 第1の強磁性障壁層
- 3 第1の非磁性電極層
- 4 第2の非磁性電極層
- 5 スピニンジェクタ
- 6 第2の強磁性障壁層
- 7 第3の非磁性電極層
- 8 スピンアナライザ
- 9 アップスピンド端
- 10 ダウンスピンド端
- 11 フェルミエネルギー、伝導体の底、価電子帯の頂上
- 21 エミッタ
- 22 ベース
- 23 コレクタ
- 24 アップスピン
- 25 ダウンスピン
- 26 スピン偏極ホットエレクトロン(アップスピン)
- 27 スピン偏極ホットエレクトロン(ダウンスピン)
- 41 不揮発性メモリ
- 42 ワード線
- 43 ビット線
- 44 負荷抵抗
- 45 電源
- 46 負荷線
- 150 スピントランジスタ
- 157 出力端子
- 160 能動負荷
- 170 負荷曲線

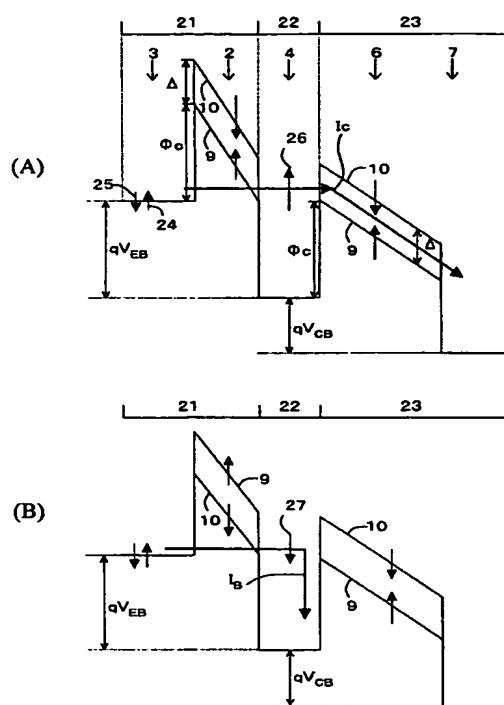
20

30

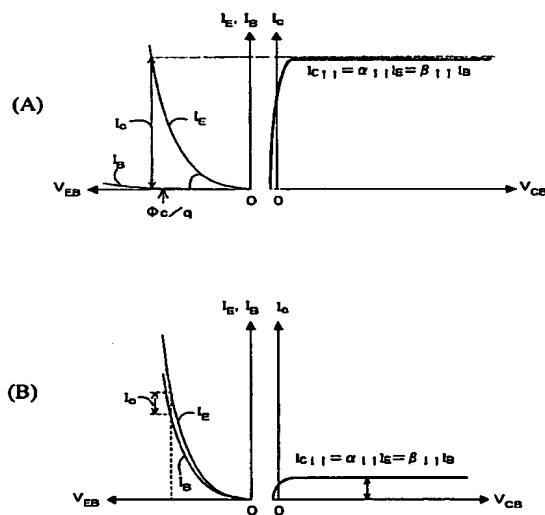
【図1】



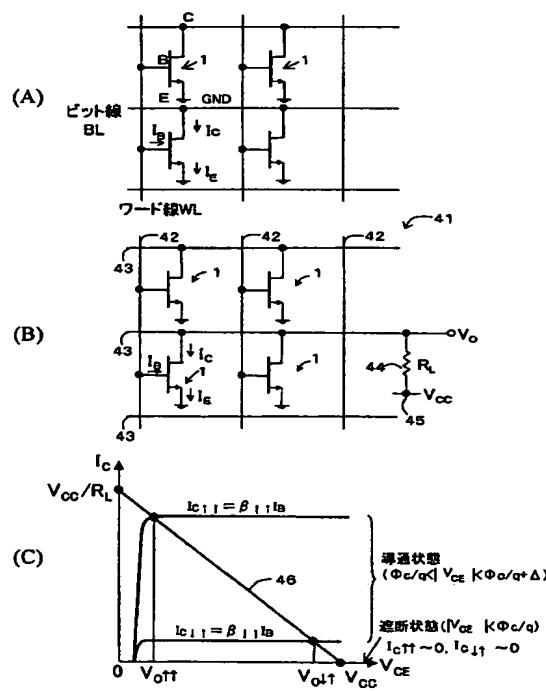
【図2】



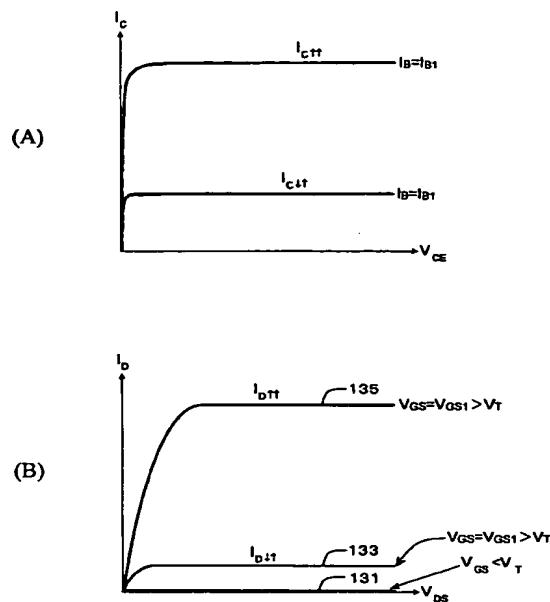
【図3】



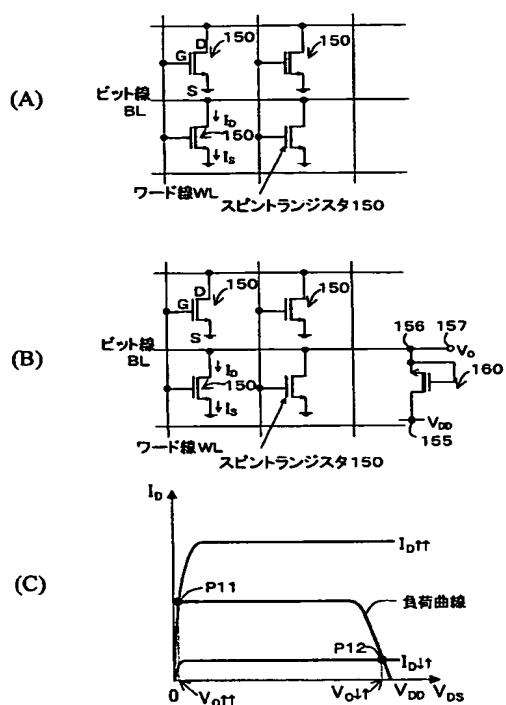
【図4】



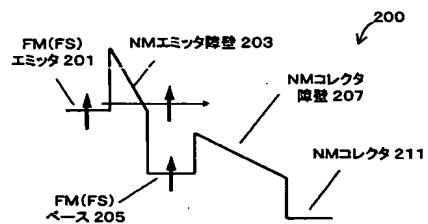
【図5】



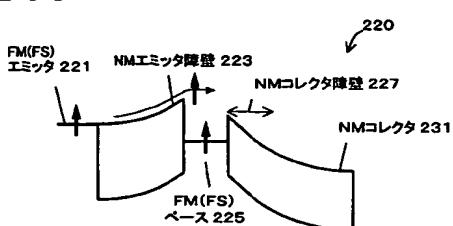
【図6】



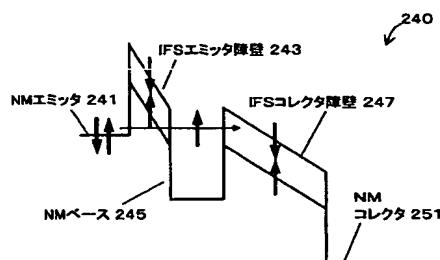
【図7】



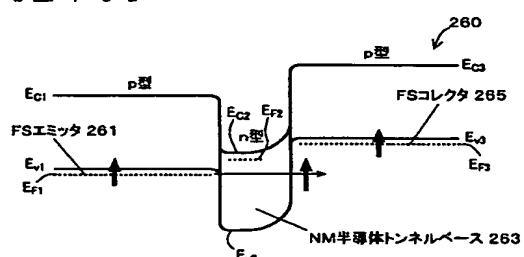
【図8】



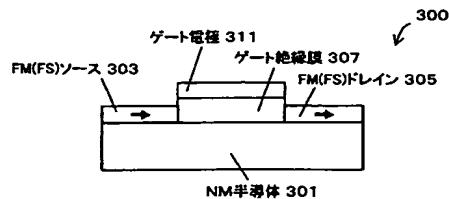
【図9】



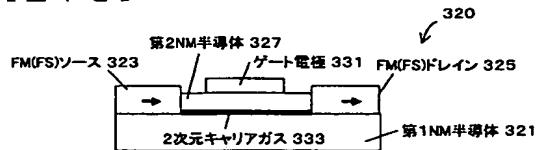
【図10】



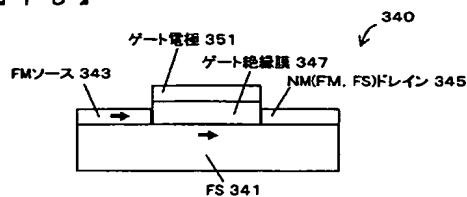
【図11】



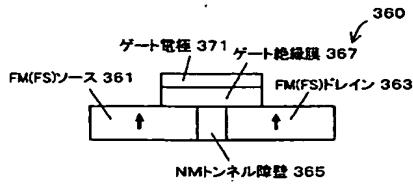
【図12】



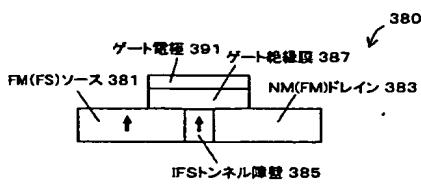
【図13】



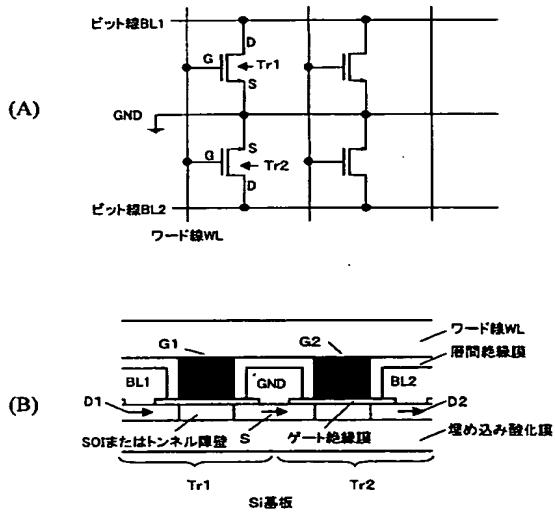
【図14】



【図15】



【図16】



【図17】

